

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 000177X502	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JPO0/05849	国際出願日 (日.月.年) 30.08.00	優先日 (日.月.年) 30.08.99
出願人(氏名又は名称) アイピーフレックス株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 5 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☒ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 5 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☒ 請求の範囲 1-5, 7 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
 1. 請求の範囲 1-5 は、プログラム製品であるが、「製品」という技術範囲の明確でない用語を用いているために、請求の範囲 1-5 に係る発明を明確に把握することができない。
3. ☐ 請求の範囲 _____ は、従属請求の範囲であって PCT 規則 6.4(a) の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

THIS PAGE BLANK (USPTO)

第 I 欄 2. の続き

2. 請求の範囲 7 は、プログラムが埋め込まれている伝送媒体であるが、そもそも伝送媒体とプログラムの関係を何ら規定するものではなく、伝送しているプログラムでは物としての伝送媒体は特定されないため、請求の範囲 7 に係る発明を明確に把握できない。

THIS PAGE BLANK (USPTO)



(43) 国際公開日
2001 年 3 月 8 日 (08.03.2001)

PCT

(10) 国際公開番号
WO 01/16711 A1

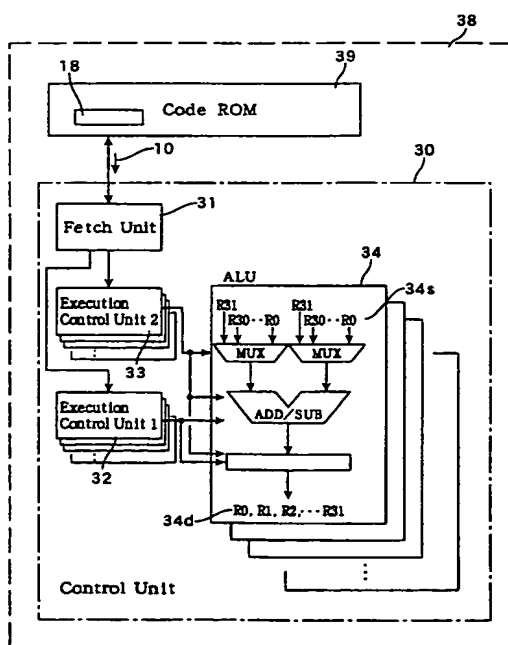
- | | | |
|--|------------------------------|--|
| (51) 国際特許分類 ⁷⁾ : | G06F 9/30, 9/38 | (74) 代理人: 今井 彰(IMAI, Akira); 〒390-0811 長野県松本市中央1丁目4番20号 日本生命松本駅前ビル8階 Nagano (JP). |
| (21) 国際出願番号: | PCT/JP00/05849 | |
| (22) 国際出願日: | 2000 年 8 月 30 日 (30.08.2000) | (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW. |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | | (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG). |
| (71) 出願人 (米国を除く全ての指定国について): アイビーフレックス株式会社 (IP FLEX INC.) [JP/JP]; 〒150-0021 東京都渋谷区恵比寿西一丁目16番6号 Tokyo (JP). | | |
| (71) 出願人 および | | 添付公開書類: |
| (72) 発明者: 佐藤友美 (SATO, Tomoyoshi) [JP/JP]; 〒305-0046 茨城県つくば市東2丁目18番地10 ルーミつくば 31号202 Ibaraki (JP). | | — 国際調査報告書 |
| | | 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。 |

添付公開書類：
一 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: PROGRAM PRODUCT AND DATA PROCESSOR

(54) 発明の名称: プログラム製品およびデータ処理装置



(57) Abstract: An input and/or output interface of at least one of processing units constituting a data processor is specified independently of the timing at which the processing unit performs a processing, and hence various data paths are defined at the program level by processing units. Thus complex data processings are flexibly performed at high rate by hardware without using various dedicated circuits specialized for the data processings.



(57) 要約:

データ処理装置を構成する複数の処理ユニットのうちの少なくとも 1 つの処理ユニットの入力および／または出力インタフェースを、その処理ユニットにより処理を実行する時期とは別に、独立して指示し、複数の処理ユニットにより種々のデータパスをプログラムレベルで定義できるようにする。この発明により、複雑なデータ処理に対し、それらのデータ処理に特化した多種多様な専用回路を用いなくても、それぞれのデータ処理をフレキシブルに、ハードウェアにより高速に実行することが可能となる。

明 細 書

プログラム製品およびデータ処理装置

5 技術分野

本発明は、マイクロコードなどにより記述されたプログラム製品、およびそのプログラムを実行可能なデータ処理装置に関するものである。

10 背景技術

汎用的な処理および専用のデジタルデータの処理を行う装置として、マイクロプロセッサ（MPU）、デジタル・シグナルプロセッサ（DSP）といった演算機能を内蔵したプロセッサ（データ処理装置あるいはLSI）が知られている。これらの性能向上に大きく貢献したアーキテクチャ要素として、パイプライン化技術、スーパー・パイプライン化技術、スーパー・スケーラ化技術、VLIW技術、特化型データパス（専用命令）を挙げることができる。さらに、分岐予測やレジスタバンク、キャッシュ技術等も挙げることができる。

20 VLIW技術は、予めデータパスを並列実行可能なように構成しておき、コンパイラがこの並列実行を高めるように、最適化を行い目的のVLIW命令コードを生成するという考え方であり、極めて合理的な考え方を採用している。これにより、スーパー・スケーラのように1つ1つの命令の並列実行の可能性をチェックする回路が不要なので、並列実行を行うハードウェアの実装手段としては、極
25 めて有望とされているものである。しかしながら、画像処理や特殊データ処理を必要とするアプリケーションの処理を用途とするプロセッサを考えると、VLIWも最適な解決策とはならない。特に演算結果の連続処理を要求されるような用途では、汎用レジスタにデ

ータを抱えながらの演算やデータ処理には限界があるからである。
これは従来のパイプライン技術でも同様である。

一方、各種のマトリックス計算やベクトル計算等は、専用回路によりこれを実現した方が高い性能を得られることは過去の経験から
5 良く知られている。このため、現在、世界最高性能を目指す最先端
の実装技術では、V L I Wをベースにアプリケーションの目的に応じて、
各種の専用演算回路を実装して、最高性能を目指すという考え方が
主流になりつつある。

しかしながら、V L I Wは、プログラムカウンタ近傍の並列処理
10 実行効率を改善する技術であり、例えば2つ以上のオブジェクトを
同時に実行したり、2つ以上の関数を実行するにはあまり有効な手段
とはならない。また、各種の専用演算回路を実装することはハード
ウェアが増加することとなり、その一方で、ソフトウェアのフレ
キシビリティが低下することを意味する。

15 F P G A (Field Programmable Gate Arrays) のようにトランジ
スタ間の接続を変更可能なアーキテクチャは、ある程度動的に制御
できるものであり、各種の専用演算回路を実現することも可能であ
る。しかしながら、F P G A自体は、ハードウェアをダイナミック
に変更するには時間がかかり、また、その時間を短縮するためのハ
20 ードウェアが必要となる。このため、アプリケーションの実行中に
ハードウェアを動的に制御することは難しく、さらに、経済的な解
であるとも言えない。すなわち、F P G Aの再構成情報を二面以上
のR A Mに保持し、バックグラウンドで実行する事により、見かけ
上短い時間で動的なアーキテクチャ変更を行う方式も可能であるが、
25 もし、数クロック以内にこの再構成を行う事を可能とするためには、
考えられる組み合わせの数の再構成情報を全て格納するR A Mを実
装する必要がある、これは、本質的にF P G Aの再構成時間が大き
く掛かるという経済的な問題を一切解決していない。また、F P G
Aが、本来ハードウェアのゲートに注目したマッピングを効率良く

実現しようとするために抱えている問題、即ち実用上のＡＣ特性の悪さをについては、当面解決出来そうも無い。

そこで、本発明においては、複雑なデータ処理に対し、それらのデータ処理に特化した多種多様な専用回路を用いなくても、それぞれのデータ処理をフレキシブルに、そして高速に実行可能なシステム、すなわち、プログラム製品と、それを実行可能なデータ処理装置およびその制御方法を提供することを目的としている。さらに、アプリケーションの実行中でもハードウェアを動的に制御することを可能とし、ソフトウェアレベルのフレキシビリティをハードウェアレベルで実現し、様々なデータ処理を高速で実行可能であり、さらに経済的なデータ処理装置およびその制御方法、さらにはプログラム製品を提供することを目的としている。

発明の開示

このため、本発明においては、複数の処理ユニットを有するデータ処理装置を制御するプログラム製品として、少なくとも１つの処理ユニットの入力および／または出力インタフェースを、処理ユニットにより処理を実行する時期とは独立して指示し、処理ユニットにより構成されるデータバスを定義するデータフロー指定命令を有するプログラム製品あるいはプログラム装置を提供する。このプログラムは、データ処理装置が読み取り可能なＲＯＭあるいはＲＡＭなどの記録媒体に記録して提供でき、また、コンピュータネットワークあるいはその他の通信を介して伝送可能な伝送媒体に埋め込んで提供することも可能である。

そして、本発明のプログラム製品により、入力および／または出力インタフェースを変更可能な複数の処理ユニットと、少なくとも１つの処理ユニットの入力および／または出力インタフェースを、処理ユニットにより処理を実行する時期とは独立して、別に指示するデータフロー指定命令をフェッチ可能なユニットと、データフロ

一指定命令をデコードし、処理ユニットの入力および／または出力インタフェースを設定し、複数の処理ユニットによるデータパスを構成可能なデータフロー指定ユニットとを有する、本発明のデータ処理装置を制御することが可能となる。このため、複数の処理ユニットの組み合わせからなるデータパスをプログラムで変更し、様々なデータ処理を、その処理に適したハードウェア、すなわち、データパスあるいはデータフローで実行することができる。

また、入力および／または出力インタフェースを変更可能な複数の処理ユニットを有する本発明のデータ処理装置の制御方法においては、少なくとも1つの処理ユニットの入力および／または出力インタフェースを、処理ユニットにより処理を実行する時期とは独立して指示するデータフロー指定命令をフェッチする工程と、データフロー指定命令をデコードし、処理ユニットの入力および／または出力インタフェースを設定し、複数の処理ユニットによるデータパスを構成するデータフロー指定工程とを有する。

従来は、複雑なデータ処理は、専用回路を用意し、その専用回路を用いる専用命令化するしか対応方法が無くハードウェアコストが増大する。これに対し、本発明のシステム、すなわち、プログラム製品、データ処理装置およびその制御方法においては、論理演算ユニットなどの処理ユニットのインタフェースを記述できるので、バイライン制御やデータパス制御の構造を命令セット、すなわちプログラム製品の中に取り込むことが可能となる。したがって、様々なデータ処理を、プログラムで記述し、それに適したハードウェアで実行することが可能となり、ソフトウェアのフレキシビリティと専用回路を用いた高速性を兼ね備えたデータ処理装置を提供することができる。さらに、これらのデータパスは主要な処理あるいは汎用的な処理の実行を中止させないで実現することが可能であり、アプリケーションの実行中に動的にハードウェアを変更することが容易に実現できる。

さらに、本発明は、プログラムカウンタの近傍の並列処理を実行だけでなく、2つ以上オブジェクトの同時擬似実行や2つ以上の関数の同時擬似実行に有効な手段を提供することになる。つまり、従来の命令セットでは、2つ以上のコンテキストの異なるデータ処理や
5 アルゴリズム実行等の、それぞれ離れたプログラムカウンタに基づく処理が同時に起動ができなかったのに対し、本発明においてはデータフロー指定命令を用いてデータフローを適当に定義することにより、プログラムカウンタにかかわらずに処理を実行することが可能となる。

したがって、本命令セットを用いると、並列処理に対して、予めアプリケーション側から見て性能向上に有効と思われるデータパスをソフトウェアから組み込むことが可能であり、それにより実現されたデータパス（データフロー）を必要に応じて、さらにソフト
10 ウェアから命令レベルで起動することができる。このデータパスは、特定の目的に対応したデータ処理だけでなく、一般のステートマシンを起動するような目的にも使用可能なので、極めて自由度が高い。

そして、本発明においては、データフロー指定命令により処理ユニットのインタフェースを指示することにより、処理ユニットの組み合わせによるデータパスを変更できるようにしている。このため、
20 F P G Aのようにトランジスタ間の接続を変更するアーキテクチャと異なり、適当な、あるいは特定のデータ処理機能を備えた処理ユニット間のインタフェースを切り替えるだけデータパスを定義できるので、短時間でハードウェアを再構成することができる。さらに、本発明のデータ処理装置は、F P G Aのようにトランジスタレベル
25 での汎用性を要求するアーキテクチャではないので、実装密度も向上でき、コンパクトで経済的なシステム L S I などのデータ処理装置を提供できる。さらに、冗長な構成を削減することができるので、処理速度も高速化でき、A C 特性も向上する。

このように、本発明のプログラム、データ処理装置およびその制

御方法においては、データ処理装置に含まれる少なくとも1つの処理ユニットのインタフェースを規定する命令を記載あるいは記述することにより、データフロー指定を行うことが可能となる。これにより、データパスの独立性を高めることが可能となり結果的にデータフロー指定を別命令プログラムを実行しながら行ったり、アイドル状態にあるデータ処理装置の内部のデータパスを、外部の他のデータ処理装置あるいは同一チップ内の他のデータ処理系統において実行されている緊急度の高い処理のために貸し出すことも許すような構造を容易に提供することが可能となる。

さらに、データフロー指定命令によりデータパスを組み合わせて構成可能な処理ユニットの処理内容を変更できることが望ましい。すなわち、データフロー指定ユニットおよびデータフロー指定工程においては、データフロー指定命令により、処理ユニットの処理内容を変更可能であることが望ましい。これにより、処理ユニットを組み合わせて構成するデータパスのフレキシビリティを向上でき、より多くのデータ処理を少ないハードウェア資源でデータフロー型の処理に持ち込み、高性能化することができる。

個々の処理ユニットにFPGAのアーキテクチャを採用することが可能である。しかしながら、ハードウェアをダイナミックに変更するには時間がかかり、また、その時間を短縮するためのハードウェアが必要となることは上述した通りである。このため、アプリケーションの実行中に処理ユニット内部のハードウェアを動的に制御することは難しい。すなわち、仮に、複数のRAMをバンク構成にして、瞬時に切り換える方式にしたとしても、数クロック～数十クロック単位での切り換えを実現する為には、相当数のバンク構成が必要となり、基本的にFPGA内部のマクロセル一つ一つが独立してプログラム構成可能な構造にすると同時に、この切り換えタイミングを検出し、プログラムによる制御機構を持たせる必要がある。しかし、このような構成に対応するには現状のFPGAでは不十分

であり、さらに、適当なタイミングで切替を指示するために新しい命令制御機構が必要となる。

このため、本発明においては、処理ユニットとして、特定の内部データパスを備えた回路ユニットを採用することが望ましい。すなわち、ある程度コンパクトなデータパスを備えた処理ユニットをテンプレート的に用意しておき、そのデータパス間の組み合わせを指示してデータフロー型の処理に持ち込むと共に、データフロー指定命令により、処理ユニットの内部データパスの一部を選択して処理ユニットの処理内容を変更することにより、さらにフレキシブルに、そして短時間にハードウェアを再構成できる。

たとえば、処理ユニットに、少なくとも1つの論理ゲートと、この論理ゲートと入出力インタフェースを接続する内部データパスとを設けておくことにより、入出力されるデータの順番を変えたり、論理ゲート間の接続あるいは選択を変えることにより処理ユニットの処理内容を変更できる。そして、トランジスタレベルで回路を再構成するFPGAに比較すると、予め用意された内部データパスの一部を選択するだけで良いので、短時間で処理内容を変更できる。さらに、予め用意された内部データパスを使用するので、冗長な回路要素は少なく、トランジスタの面積利用効率も高い。したがって、実装密度も高く、経済的である。さらに、高速処理に適したデータパスを構築でき、AC特性も高い。このため、本発明においては、データフロー指定命令により、データフロー指定ユニットおよび工程において、処理ユニットの内部データパスの一部を選択可能とすることが望ましい。

さらに、データフロー指定命令により設定された各処理ユニットのインタフェースを保持するスケジュールを管理するように、データフロー指定ユニットは処理ユニットのインタフェースを管理するスケジューラとしての機能を備えていることが望ましい。例えば、ある一定時間だけ、マトリックス計算を行い、その後にフィルター

処理を行う場合は、予めそれらの処理に必要なデータ処理装置内部の処理ユニット間の接続を指定し、時間を計数するカウンターを使ってこれを実現する事が出来る。計数カウンターを別の比較回路や外部イベント検出器に置き換える事で、より複雑で柔軟性のある
5 スケジューリング処理を実現可能となる。

また、データフロー指定命令により、複数の処理ユニットにより構成される処理ブロックの入力および／または出力インタフェースを規定できるようにすることが望ましい。複数の処理ユニットのインタフェースを1つ命令で変更可能とすることにより、複数の処理
10 ユニットが関連するデータパスの変更が1命令で処理することができる。したがって、データフロー指定ユニットあるいは工程では、データフロー指定命令により、複数の処理ユニットにより構成される処理ブロックの入力および／または出力インタフェースを変更可能であることが望ましい。

さらに、処理ブロックの入力および／または出力インタフェースを規定する複数のコンフィグレーションデータを格納したメモリを設け、データフロー指定ユニットあるいは工程においては、データ
15 フロー指定命令によりメモリに格納された複数のコンフィグレーションデータの1つを選択し、処理ブロックの入力および／または
20 出力インタフェースを変更できるようにすることが望ましい。データフロー指定命令によりコンフィグレーションデータを指定できるようにすることにより、命令自体は冗長にせずに複数の処理ユニットのインタフェースの変更をプログラムから制御することができる。

25 図面の簡単な説明

図1は、データフロー指定命令を含む命令セットの概要を示す図である。

図2は、図1に示す命令セットのYフィールドをさらに詳しく説明する図である。

図 3 は、図 1 に示す命令セットを実際に用いた簡単な例を示す図である。

図 4 は、図 3 に示す命令セットによりデータがレジスタに格納される様子を示す図である。

5 図 5 は、本発明の命令セットを実行可能なデータ処理装置を示す図である。

図 6 は、従来の CPU あるいは DSP で実行可能なサンプルプログラムである。

図 7 は、本発明にかかる制御ユニット用のプログラム例である。

10 図 8 は、図 7 に示すプログラムを本発明にかかる命令セットの実行プログラムにコンパイルした例を示す図である。

図 9 は、本発明にかかる制御ユニット用の異なるプログラム例である。

15 図 10 は、図 9 のプログラムにより構成されたデータフローを示す図である。

図 11 は、データフローが指定可能なデータ処理装置の異なる例を示す図である。

図 12 は、データパスが変更される例を示す図である。

20 図 13 は、本発明の命令セットによりデータ処理を実行可能なデータ処理装置の概略構成を示す図である。

図 14 は、テンプレートの組み合わせを変えて異なる専用回路を構成する様子を示す図である。

図 15 は、テンプレートの一例を示す図である。

25 発明を実施するための最良の形態

以下に図面を参照して、本発明をさらに詳しく説明する。図 1 に、本発明にかかるデータフロー指定命令を記述するのにて適した命令セット（命令フォーマット）の構成を示してある。この命令セット（DAP/DNA の命令セット）10 は、第 1 のフィールドである

命令実行基本フィールド（Xフィールド） 1 1 と呼ばれる部分と、次の命令実行の効率化を図ることができる第 2 のフィールドである次命令実行準備サイクル（追加フィールドあるいは Y フィールド） 1 2 と呼ばれる 2 つのフィールドを備えている。命令実行基本フィールド（X フィールド） 1 1 は、加減演算、論理和、論理積、比較などのデータの演算、および分岐などのその他の各種のデータ処理の内容を指定し、その結果が格納される先（ディスティネーション）を指定する。また、X フィールド 1 1 は、命令長の使用効率を上げるために実際に実行される命令の情報しか含まない。一方、追加フィールド（Y フィールド） 1 2 は、同一の命令セットの X フィールド 1 1 の実行命令とは独立した命令（情報）が記述可能であり、たとえば、次の命令の実行準備サイクルに割当てられる。

さらに詳しく命令セット 1 0 を説明すると、X フィールド 1 1 は、算術論理演算ユニットなどの処理ユニットに対する命令操作あるいは実行命令（Execution ID）を記述する実行命令フィールド 1 5 と、Y フィールド 1 2 の有効／無効および Y フィールド 1 2 で示す準備命令のタイプを示すフィールド（タイプフィールド） 1 6 と、ディスティネーションのレジスタを示すフィールド 1 7 とを備えている。タイプフィールド 1 6 の内容は、Y フィールド 1 2 に関連したものであり、X フィールド 1 1 の他のフィールドの内容とは独立して、別に定義できることは上述した通りである。

また、Y フィールド 1 2 は、タイプフィールド 1 6 によって規定される準備情報が記述される。この Y フィールド 1 2 に記述される準備情報は、演算または他のデータ処理を実行可能な状態にするための情報であり、図 2 に具体的な幾つかの例を示してある。先ず、TYPE フィールド 1 6 は X フィールド 1 1 に含まれているが、実行命令フィールド 1 5 とは独立あるいは無関係に記述できる。そして、Y フィールド 1 2 には、アドレス ID（A ID） 2 1 と、それによって利用目的が規定されるアドレス情報 2 2 を記述するアドレ

ス情報フィールド 26 として利用することができる。この Y フィールド 12 に記述されたアドレス情報は、レジスタあるいはバッファとメモリ（レジスタファイルを含む）との間のリードおよびライトに用いられ、DMA のようにブロック転送も可能な構成になっている。さらに、分岐命令を実行したときの分岐先を示すアドレス（フェッチアドレス）、並列実行するときのスタートアドレスなどの情報も Y フィールド 12 に記述することができる。

また、レジスタタイプの命令、たとえば、算術演算あるいはその他の論理演算命令（MOVE、メモリーリード／ライトなども含む）に対してソース側となるレジスタ情報あるいは即値（イミディエイト）を規定する情報 23 も Y フィールド 12 に記述することができる。すなわち、Y フィールド 12 を以降の実行命令のためのソースを規定するフィールド 27 として利用することができる。

さらに、Y フィールド 12 には、算術論理演算ユニット（ALU）あるいは他のデータ処理ユニット、たとえば所定のデータパスを備えた処理ユニット（以降においてはテンプレート）のインタフェース（ソース、ディスティネーション）および処理内容の組み合わせを規定するデータフロー指定命令 25 も記述することが可能である。すなわち、Y フィールド 12 は、リコンフィグラブルなデータパスなどを、特定のデータ処理を行うために、それらのパイプライン（データフローあるいはデータパス）を定義するためのフィールド 28 として利用することができる。もちろん、Y フィールド 12 には、そのデータフローをスタートする情報および終了するデータフロー指定命令 25 を記述することが可能である。したがって、Y フィールド 12 を用いてリコンフィグラブルなデータパスを定義して生成したデータフローにより、コード RAM からコードをフェッチするプログラムカウンタとは独立した処理を行うことができる。

以下では X フィールド 11 および Y フィールド 12 に実行命令あるいは準備命令が記載あるいは記述された例を説明するが、これら

のフィールドに命令を記述せず（NOPを記述し）、Xフィールド
1 1あるいはYフィールド1 2だけが意味を持つような命令セット
も可能である。さらに、ニーモニックな実行命令と、データフロー
指定命令が混在した命令セットを備えたプログラム製品も可能であ
り、データフロー指定命令が連続して記述されたプログラム製品も
可能である。そして、記述される形態は問わずに、データフロー指
定命令を含むプログラム製品あるいはそのプログラムを記録した記
録媒体なども本発明の範囲に含まれる。

図3に、本例の命令セット1 0の簡単な例を示してある。j-1
番目の命令セット1 0であるT(j-1)は、そのXフィールド1
1のタイプフィールド1 6に、同一の命令セットのYフィールド1
2に3 2ビットのイミディエイトが記述されていることが示され
ている。そして、その命令セットT(j-1)のYフィールド1 2
には、イミディエイトとして「#0 0 0 0 1 2 3 4 H」が記載さ
れている。次のj番目の命令セットT(j)には、Xフィールド1
1の実行命令フィールド1 5にMOVEが記述され、ディスティネ
ーションフィールド1 7にレジスタR 3が記載されている。このた
め、このj番目の命令セットT(j)をフェッチすると、制御ユ
ニットのALUは、前の命令フィールドT(j-1)に定義された
イミディエイト「#0 0 0 0 1 2 3 4 H」をレジスタR 3に格納
する。

このようにして、本例の命令セット1 0（以降では、j番目の命
令セット1 0を命令セットT(j)で示す）では、実行命令が記述
された命令セットT(j)の前の命令セットT(j-1)によりそ
の実行命令の準備が行われる。したがって、命令セットT(j)だ
けでは制御ユニットを構成するALUが実行する処理内容は判ら
ないが、2つの命令セットT(j-1)およびT(j)によりALU
が実行する処理内容は一義的に決定される。また、命令セットT(j-1)の実行命令フィールド1 5には、その命令セットのYフィ

ールド12とは独立して命令セットT(j-1)の前の命令セットのYフィールド12により準備された処理を実行する命令が記述されている。さらに、命令セットT(j)のタイプフィールド16およびYフィールド12には、次の命令セットの実行命令フィールドに記述された実行命令の準備をする情報が記述されている。

本例では、ある実行命令がXフィールド11に記述された命令セットT(j)の直前の命令セットT(j-1)のYフィールド12に、その実行命令の準備情報(準備命令)が記述されている。すなわち、準備命令のレイテンシーが1クロックの例となっているが、準備情報が記述される命令セットは、直前の命令セットにかぎられるものではない。例えば、複数のALUを備えた制御ユニットの制御プログラム、あるいは後述するデータフロー制御を目的とする準備命令などであれば直前の命令セットである必要はない。準備命令によってセットされたALUの状態(環境あるいはインタフェース)あるいはテンプレートの構成が、その準備命令に対応する実行命令を備えた命令セットがフェッチされて実行されるまで保持されるのであれば、実行命令を備えた命令セット10の数命令前の命令セット10のYフィールド12で準備命令を記述できる。

図4に、図3に示した命令セットによりレジスタとして機能するレジスタファイルあるいはメモリに値が格納される様子を示してある。プロセッサがj-1番目の命令セットT(j-1)をフェッチして、そのYフィールド12の準備命令によりイミディエイト「#00001234H」がプロセッサのALUのソース側のレジスタDP0.Rにラッチされる。そして、プロセッサが次のj番目の命令セットT(j)をフェッチし、そのXフィールド11の実行命令であるMOVEを実行するサイクルでバッファ29bにストアされる。その後、メモリまたはレジスタファイル29aのレジスタR3のアドレスにバッファ29bの値が格納される。したがって、格納先がレジスタではなくメモリであっても、本例の命令セット10

を用いると、準備情報に基づく処理を実行命令に先立って行うことにより、実行命令のサイクルでデータをロードあるいはストアすることができる。

図 5 に、本例の命令セット 10 により処理内容が記述されたプログラムを実行可能な制御ユニット 30 を備えたプロセッサ（データ処理装置）38 の概略構成を示してある。本例の命令セット 10 を具備したマイクロコードあるいはマイクロプログラム 18 はコード ROM 39 に記憶されている。制御ユニット 30 は、コード ROM 39 からマイクロプログラムの命令セット 10 をプログラムカウンタによって随時フェッチするフェッチユニット 31 と、フェッチされた命令セット 10 の X フィールド 11 をデコードして ALU 34 の処理内容を決定あるいはアサートすると共に、ALU 34 の論理演算結果をディスティネーションのレジスタ 34 d を選択してラッチする機能を備えた第 1 の実行制御ユニット 32 を備えている。

さらに、制御ユニット 30 は、フェッチされた命令セット 10 の Y フィールド 12 を X フィールド 11 のタイプフィールド 16 の情報に基づいてデコードし、演算処理ユニット（ALU）34 のソース側のレジスタ 34 s を選択する機能を備えた第 2 の実行制御ユニット 33 を備えている。この第 2 の実行制御ユニット 33 は、タイプフィールド 16 の情報を除き、Y フィールド 12 の命令あるいは情報を X フィールド 11 の内容とは独立して解釈することができる。第 2 の実行制御ユニット 33 は、さらに、Y フィールド 12 に記述された情報がデータフローを規定するものであれば、ALU 34 のソース側およびディスティネーション側の選択あるいは設定、すなわち、ALU 34 のインタフェースを決定し、さらに、その状態を所定のクロックあるいは解除の指示があるまで連続的に保持する機能も備えている。また、Y フィールド 12 の情報がデータフローを規定する場合は、この第 2 の実行制御ユニット 33 は、さらに、ALU 34 の処理内容も決定し、その状態を所定の期間保持する。

本例の制御ユニット 30 は、さらに、このような実行制御ユニット 32 および 33 と、ALU 34 の組み合わせを複数備えており、これらによって様々な処理が実行できるようになっている。したがって、本例の制御ユニット 30 をコアあるいは周辺回路として画像データを高速で処理するような DSP、汎用のデジタル処理を高速で行える CPU あるいは MPU などを構成することが可能である。

図 6 ないし図 9 に、本例の制御ユニット 30 で実行するプログラムの一例を示してある。図 6 に示したサンプルプログラム 41 は、従来の CPU あるいは DSP で実行可能なように作成した例である。このプログラムは、#START のアドレスから始まるテーブルから最も大きな値を抽出し、最終データであることを示す #END を検出すると終了するプログラムである。

図 7 に記載したプログラム 42 は、図 6 と同じ処理を本発明にかかる命令セットを実行可能な制御ユニット 30 に適したプログラムに変換したものであり、2 命令を 1 つの命令セットで実行できる例を示してある。図 7 に示したプログラムは、コンパイラを通して本発明にかかる命令セットの実行プログラムに変換され、制御ユニット 30 で実行される。

図 8 にコンパイルされたプログラム 43 を示してある。このプログラム 43 と、プログラム 42 とを比較すると判るように、第 1 の番目の命令セット 10 の Y フィールド 12 で 2 番目の命令セット 10 の実行命令 15 の準備が行われる。すなわち、タイプフィールド 16 に準備情報としてイミディエイトが Y フィールド 12 に記述されていることが示されており、Y フィールド 12 をデコードした第 2 の実行制御ユニット 32 によりイミディエイトが ALU 34 のソースとなるキャッシュあるいはレジスタに提供される。そして、2 番目の命令セット 10 を実行するときは、その実行命令を行う準備が整った ALU 34 に対し実行命令 15 を行うことができる。すなわち、ディスティネーションフィールド 17 に規定されたレジス

タに対し、実行命令フィールド15のMOVE命令を単に実行するだけになる。

このように、本発明の命令セットによれば、実行命令と、その実行命令を行うためのインタフェースなどを記述した準備命令とを分離することができ、さらに、準備命令を実行命令に先立ってフェッチされる命令セットに記述して処理することができる。したがって、各々の命令セットに記述された実行命令を行うときは、ALU34のソース側にデータがリードされているので純粹に算術命令だけを行うようになる。このため、AC特性が良く、実行周波数特性が向上する。さらに、実行命令に対する前後の差はあるが、従来のパイプラインと同様に、命令フェッチ、レジスタデコード、処理実行などを段階的に行うことが可能であり、スループットも向上できる。また、本例のプログラムは2命令を1命令セットに記述できるようになっているので、VLIWと同様にプログラムカウンタの近傍の複数の命令を並列実行することにより処理速度を向上できる。

さらに、4番目の命令セットの実行命令フィールド15には条件分岐が記述されており、その分岐先のアドレスは、この命令セットに先行する3番目の命令セットのYフィールド12に記述されている。したがって、4番目の命令セットを実行する際に、あるいはそれに先立ってフェッチレジスタに分岐先のアドレスをセットし、分岐条件が成立したときにペナルティなく分岐先の命令セットをフェッチあるいは実行することができる。さらには、分岐先の命令をプリフェッチしておくことも可能であり、分岐先の実行命令を実行する準備を事前に整えておくことも可能となる。したがって、分岐先の命令であっても1クロックの無駄もなく実行することが可能であり、1クロック単位で処理を正確に定義することができる。

図9には、さらに、命令セット10のYフィールド12を用いてデータフロー指定命令25を記述した本発明のプログラム44を示してある。このようなデータフロー指定命令25を有するプログラ

ム製品 18 が ROM 39、RAM あるいは他の適当なデータ処理装置で読取可能な記録媒体に記憶されて提供される。また、ネットワーク環境で交換される伝送媒体にプログラム製品 44 あるいは 18 を埋め込んで流通することも可能である。

5 このプログラム 44 に記述されたデータフロー指定命令 25 の内、DFLWI は、データフローの初期設定を行う命令であり、DFLWC はデータフロー（データパス）を構成する演算処理ユニット 34 の接続情報（インタフェースの情報）および処理内容を規定する命令である。また、DFLWT はデータフローの終了条件を規定する命令であり、最後に、このようにして定義されたデータフローに
10 データを入力して処理を行う DFLWS が記述されている。これらのデータフロー指定命令 25 は、Y フィールド 12 に準備情報として記述され、第 2 の実行制御ユニット 33 でデコードされ、処理ユニット 34 でデータ処理を行うための構成（コンフィグレーション）
15 がセットされる。

図 9 に示した本例のプログラム 44 を実行する際には、プログラムのデータフロー指定にしたがって第 2 の実行制御ユニット 33 がデータフロー指定ユニットとして機能し、データフロー指定工程にしたがった制御を行う。すなわち、フェッチユニット 31 でフェッ
20 チされたデータフロー指定命令 25 をデコードし、処理ユニット 34 の入力および／または出力インタフェースを、その処理ユニット 34 の実行する時期とは独立して設定する。さらに、データフロー指定命令 25 によっては、処理ユニット 25 の処理内容も規定あるいは変更する制御を行う。また、第 2 の実行制御ユニット 33 は、
25 スケジューラ 36 としても機能し、各処理ユニット 34 のインタフェースを維持するスケジュールを管理する。

このため、図 10 に示すように、スケジューラ 36 として機能する第 2 の実行制御ユニット 33 により、3 つの演算処理ユニット 34 のインタフェース（入出力）と、その処理内容が規定され、その

状態あるいはコンフィグレーションが終了条件が成立するまで保持される。したがって、これらの演算処理ユニット 34 により構成されるデータフローあるいはデータパスにより、プログラムカウンタとは独立して次々と図 6 に示した処理と同じ処理が進行する。すな
5 わち、データフロー指定を行うことにより、3つの演算処理ユニット 34 によって制御ユニット 30 の中に、その処理のための専用回路が事前に設けられた状態となり、プログラムカウンタの制御から外れて最大値を求める処理を実行することができる。そして、DP 1. R 1 と #END が同じになることを DP 1. SUB としての機能
10 を果たす ALU 34 で判断するとデータフローが終了する。

したがって、図 9 から判るように、データフローを定義することにより分岐命令を用いずに図 6 あるいは図 7 に記載されたプログラムを同じ処理を実行することができる。このため、汎用の制御ユ
ニット 30 でありながら、専用回路を備えた制御ユニットと同様に
15 特定の処理を非常に高速に効率良く行うことが可能となる。

本発明にかかる命令セットおよび制御ユニットにより、様々な処理を行うデータフローあるいは疑似データフローを制御ユニットに設けることができる。これらのデータフローはテンプレートとして他の処理あるいは他のプログラムにも適用できるものであり、ソフト
20 ウェアを用いてハードウェアを随時、特定のデータ処理に適した構成に変更でき、それを他のプログラムあるいは他のハードウェアにおいても実現できることを意味する。そして、このようなデータフローを複数設定することも可能であり、マルチコマンドストリームをソフトウェアを用いて制御ユニットの中に定義することができ
25 る。したがって、複数の処理を並列実行することが極めて簡単となり、その実行内容をプログラミングにより自由に制御できる。

図 11 に、データフロー指定命令 25 を有するプログラム 41 により制御できるデータ処理装置の異なる例を示してある。このデー

タ処理装置 40 はシステム L S I として実現可能なものであり、プログラム 41 が記録されたコード R A M 39 と、このコード R A M 39 から命令をフェッチ可能なフェッチユニット 42 とを備えている。本例のフェッチユニット 42 は、データフロー指定命令 25 を
5 フェッチすると、その命令をデコードすることができるデータフローデコーダ (D F D E C) 42 b と、データフロー指定命令 25 以外の一般命令をデコードするデコーダ 42 a とを備えている。したがって、このデータ処理装置 40 を制御するプログラム 41 は、データフロー指定命令 25 とその他の汎用命令とが混在したもので
10 あっても良いし、あるいは、データフロー指定命令 25 を備えたプログラムと、その他の汎用命令からなるプログラムとをコード R A M 41 に用意し、適当な方法で同期しながら命令をフェッチできるようにすることも可能である。

汎用命令は、汎用のデコーダ 42 a によりデコードされ、そのデ
15 コードされた信号 ϕp が、A L U およびレジスタなどを備えた組込型の汎用プロセッサ 43 に供給され、実行される。一方、データフロー指定命令 25 は、D F D E C 42 b によりデコードされ、そのデコードされた信号 ϕf はデータフロー処理ユニット (D F U) 45 に供給され、処理される。

20 本例の D F U 45 は、複数のデータ処理ユニット (D P U) 46 が用意されている。各々の D P U 46 は F P G A によりデータパスが形成されており再構成可能な処理ユニットとなっている。このため、D P U 46 は、F P G A 46 c と、この F P G A 46 c のマッピングを記憶した R A M 46 b あるいは R O M と、F P G A 46 c
25 に対するデータの入出力を制御するインタフェース 46 d と、R A M 46 b に記憶されたマッピング情報およびインタフェース情報を F P G A 46 c およびインタフェース 46 d に供給して、それらの構成あるいは状態を定義するコンフィグレーション制御部 46 a とを備えている。

本例のデータ処理装置 40 においては、フェッチユニット 42 がデータフロー指定命令を含む命令セットをフェッチする工程を行い、さらに、DFDEC 42b がデータフロー指定ユニットとして機能し、データフロー指定工程を含む制御を行う。すなわち、データフロー指定命令をデコードし、DFU 45 の各々の DPU 46 のコンフィグレーション制御部 46a を介して DPU 46 のインタフェース 46d を指定する。したがって、データフロー指定命令 25 により、DFU 45 の DPU 46 の接続を制御することが可能となり、複数の DPU 46 によって構成されるデータパスをフレキシブルにプログラムレベルで制御できる。

図 12 (a) では、12 個の DPU 46 により 2 つのデータパス 47a および 47b を構成したのに対し、DPU 46 のインタフェースを変更することにより図 12 (b) に示すように 12 個の DPU 46 により、図 12 (a) とは異なるデータ処理を実行可能な 1 つのデータパス 48 を構成することができる。複数の DPU 46 により構成可能なデータパスはこれに限定されるものでなく、データフロー指定命令により 3 つ以上のデータパスをソフトウェアを用いてデータ処理装置 40 の DFU 45 に定義することも可能である。したがって、複数の処理を並列実行することが極めて簡単となり、さらに、余剰の DPU 46 があれば、それによって適当なデータパスを設定することにより他のデータ処理装置により使用させることも可能である。

また、DPU 46 を組み合わせてデータパスを構成あるいは変更する処理は、他のデータパスにおけるデータ処理を中断させずに、あるいは、組込プロセッサ 43 における処理を中断させずに行うことが可能である。さらに、FPGA 46c における処理内容の変更を伴わなければ、インタフェース 46d の設定を変えるだけでデータパスを動的に変更することができる。また、DPU 46 の処理内容を変える場合も、ある程度回路規模の小さな FPGA 46c を採

用することによりマッピングしなおすために要する時間を短縮することができる。したがって、データ処理装置 40 の処理対象となるアプリケーションのデータ処理に合致するデータパスをプログラムによりフレキシブルに構築し、そのデータ処理を極めて高速に実行することが可能となる。しかしながら、現状の F P G A では、上述したように数クロック～数十クロック単位でマッピングするためにはハードウェアが十分ではない。さらに、所望のデータフロー処理を実行するためには、それに数クロックあるいは 10 数クロック程度も先行して指示する必要があるので、データフロー指定命令をプログラムに記述する際にもデータ処理の開始や分岐命令と整合をとる必要があるなどの制限が多くなる。

図 13 に、図 1 に示した X フィールド 11 および Y フィールド 12 を備えた命令セット 10 によりデータフローを定義することができる複数の処理ユニット（テンプレート）を備えたデータ処理装置の概略構成を、システム L S I 50 のイメージで示してある。このシステム L S I 50 は、データの処理動作を行うプロセッサ領域 51 と、そのプロセッサ領域 51 の処理を制御するプログラム 18 が格納されたコード R A M 52 と、その他の制御情報あるいは処理用のデータを記憶し、さらに、一次的なワーク領域ともなるデータ R A M 53 とを備えている。プロセッサ領域 51 は、プログラムコードをフェッチするフェッチユニット（F U）55 と、多目的な処理を行う汎用的なデータ処理ユニット（多目的 A L U）56 と、データフロー方式でデータを処理することができるデータフロー処理ユニット（D F U）57 とを備えている。

本例の L S I 50 は、1 つの命令セット 10 に 1 組の X フィールド 11 および Y フィールド 12 を含んだプログラムコードをデコードして処理を実行できるようになっている。このため、F U 55 は、フェッチした命令セット 10 の X フィールド 11 の命令を格納でき

るフェッチレジスタ (FR (X)) 61x と、Y フィールド 12 の命令を格納できるフェッチレジスタ (FR (Y)) 61y とを備えている。また、FR (X) 61x にラッチされた命令をデコードする X デコーダ 62x と、FR (Y) 61y にラッチされた命令をデコードする Y デコーダ 62y とを備えている。また、これらのデコーダ 62x および 62y のデコード結果により次の命令セットのアドレスが格納され、プログラムカウンタとして機能するレジスタ (PC) 63 を備えている。したがって、コード RAM 52 に格納されているプログラムの所定のアドレスから次の命令セットを随時フェッチすることができる。

本例の L S I 50 においては、X デコーダ 62x が上述した第 1 の実行制御ユニット 32 としての機能を果たす。また、Y デコーダ 62y が第 2 の実行制御ユニット 33、すなわち、データフロー指定ユニットとしての機能を果たす。したがって、Y デコーダ 62y が、命令セット 10 の Y フィールド 12 に記述されたデータフロー命令をデコードし、それに基づき D F U 57 の処理ユニットの入出力インタフェースを設定してデータパスを構成する、本発明のデータフロー指定工程を実行する。このため、図 13 に示したデータ処理装置 50 の制御では、フェッチユニット 55 において、処理ユニットの入力および／または出力インタフェースを、その処理ユニットにより処理を実行する時期とは独立して指示するデータフロー指定命令 25 をフェッチする工程が行われ、さらに、Y デコーダ 62y において、データフロー指定命令 25 をデコードし、処理ユニットの入力および／または出力インタフェースを設定し、複数の処理ユニットによるデータパスを構成するデータフロー指定工程が行われる。

多目的 A L U 56 は、図 5 で説明した演算ユニット (A L U) 34 と、この A L U 34 の入出力のデータを格納するレジスタ群 35 とを備えている。F U 55 でデコードされた命令が A L U 34 の実

行命令と準備情報であれば、Xデコーダ62xでデコードされた信号 ϕ_x と、Yデコーダ62yでデコードされた信号 ϕ_y は多目的ALU56に供給され、上記にて説明したようにALU34における処理が実行される。

5 DFU57は、様々な処理を行うデータフローあるいは疑似データフローを構成するための複数のテンプレート71が配置されたテンプレート領域72を備えている。それぞれのテンプレート71は、
10 図9および図10に基づき説明したように、演算処理ユニット(ALU)などのような特定のデータパスあるいはデータフローとしての機能を備えている処理ユニット(処理回路)である。そして、Yフィールド12に準備情報として記述されたデータフロー指定命令25をYデコーダ62yがデコードし、その信号 ϕ_y により、DFU57の処理ユニットであるテンプレート71それぞれのインタフェースと処理内容を規定することができる。

15 したがって、これらのテンプレート71の接続および処理内容をYフィールド12に記述したデータフロー指定命令25によって変更することが可能である。このため、これらのテンプレート71の組み合わせにより、テンプレート領域72に特定のデータ処理に適したデータパスをプログラム18のデータフロー命令25によりフレキシブルに構成することが可能となる。したがって、プロセッサ51の中に、特定の処理のための専用回路が設けられた状態となり、そこでの処理をプログラムカウンタの制御から外れて実行することができる。すなわち、データフロー指定命令25によりテンプレート71の入出力と処理内容を変更することができるので、本例のプロセッサ51はソフトウェアを用いてハードウェアを随時、特定の
25 データ処理に適した構成に変更することができる。

図14(a)に示したように、本例のプロセッサ51のDFU57で入力データ ϕ_{in} に処理を施して出力データ ϕ_{out} にする場合、たとえば、図14(b)に示すように、テンプレート1-1、

1-2 および 1-3 を直列に繋いであるデータ処理を行うようにテンプレート 7 1 のインタフェースをデータフロー指定命令 2 5 で設定することができる。同様に、テンプレート領域 7 2 の他のテンプレート 7 1 に対してもそれらのインタフェースをセットして複数の
5 テンプレート 7 1 を適当に組み合わせてデータパスあるいはデータフローを構成することが可能であり、テンプレート領域 7 2 に入力データ $\phi i n$ の処理に適した専用処理ユニットあるいは専用データパス 7 3 を複数個、プログラム 1 8 により随時構築できる。

一方、入力データ $\phi i n$ に対する処理が変わったときは、図 1 4
10 (c) に示すように、データフロー指定命令 2 5 によりテンプレート 7 1 の間の接続を変えることが可能である。すなわち、データフロー指定命令 2 5 を Y デコーダ 6 2 y がデコードし、該当するテンプレート 7 1 のインタフェースを変更することができる。このような Y デコーダ 6 2 y としての制御（データフロー指定工程）により、
15 テンプレート 1-1、2-n および m-n を直列に接続して、他の異なる処理を実行するのに適した 1 つあるいは複数のデータパス 7 3 をテンプレート領域 7 2 に構築することが可能である。

これらのテンプレート 7 1 は、図 1 4 に示した組み合わせに限らず、図 1 2 に示したような組み合わせにすることも可能であり、テンプレート 7 1 を単独で、あるいは複数のテンプレート 7 1 を組み
20 合わせて構成された処理ユニットは、並列して実行される他の処理あるいは他のプログラムに割り当てることも可能である。複数のプロセッサ 5 1 が適当なバスで接続されていれば、他のプロセッサ 5 1 が主として行っているデータ処理のためにテンプレート 7 1 を組
25 み合わせたトレイン（データパス）7 3 を構成することも可能であり、テンプレート 7 1 というデータ処理資源を極めて有効に活用することができる。

さらに、AND や OR などの単純な論理ゲートから構成する必要があり、これらの単純な論理ゲートの実現をもカバーする目的の F

P G Aとは異なり、本発明に係るテンプレート 7 1 は、A L Uなどとしての機能あるいは論理ゲートを基本的に備えた特定のデータパスを内部に実装する、より高いレベルのデータ処理ユニットである。そして、データフロー指定命令 2 5 により、テンプレート 7 1 のインタフェースを定義する、あるいは再定義することにより、それらの組み合わせを変えて特定の処理に適したさらに大きなデータパスを構成している。さらに、データフロー指定命令 2 5 によりテンプレート 7 1 で実行する処理内容を定義できるが、その際も、テンプレート 7 1 の内部のA L Uあるいは他の論理ゲートなどの接続を変更することで、テンプレート 7 1 の内部データパスの一部を選択する形で、テンプレート 7 1 で実行する処理内容を定義するようにしている。

したがって、本例のテンプレート 7 1 が複数配置されたD F U 5 7 のハードウェアを特定のデータ処理に適した構成に変更するときには、F P G Aのようにチップ全体を、あるいは限定された論理ブロック単位でもマッピングしなおす必要はなく、テンプレート 7 1 あるいはテンプレート領域 7 2 に予め設けられたデータパスを切り替えたり、それらの一部を選択することにより、予め用意されたA L Uあるいは論理ゲートを用いて所望のデータパスを実現することができる。すなわち、テンプレート 7 1 の内部では論理ゲートのコネクションを必要な範囲で設定しなおし、テンプレート 7 1 の間でもそのコネクションを必要な範囲で設定し直すだけでよい。このため、極めて短時間に、クロック単位で、ハードウェアを特定のデータ処理に適した構成に変更することができる。

さらに、論理ゲートが内蔵されていないF P G Aは、極めて汎用的である反面、特定のアプリケーションの機能を実現するロジック回路を形成するためには無駄となる配線も多く、冗長で信号経路も短くはならない。したがって、実行するアプリケーションに特化したA S I Cに対して実装面積が大きくなり、また、A C特性も劣化

する。これに対し、予め適当な論理ゲートを内蔵している本例のテンプレート 7 1 を採用したプロセッサ 5 1 では、FPGA のように膨大な無駄な領域が発生するのを防止でき、AC 特性も改善することができる。したがって、テンプレート 7 1 をベースとした本例の

5 データ処理ユニット 5 7 は、ハードウェアをプログラムで変更可能なりコンフィグラブルな構成の処理装置であり、FPGA を採用した処理装置に対し、より高いレベルでソフトウェアのフレキシビリティとハードウェアの高速性とを備えたデータ処理装置を提供することができる。

10 そして、本例のテンプレート 7 1 は、適当な論理ゲートを予め内蔵しているので、特定のアプリケーションの処理を実現するために必要な論理ゲートを適当な実装密度で実現することができる。このため、テンプレート 7 1 を用いたデータ処理ユニットは経済的である。また、FPGA でデータ処理装置を構成した場合には、実装密度の低下をカバーするために、論理を再構成するプログラムのダウ

15 ンロードを頻繁に行うことを検討する必要がある、そのための時間も処理速度が低下する原因となる。これに対し、本例のテンプレート 7 1 を用いたプロセッサ 5 1 では、実装密度が高いので、その低下をカバーする必然性は減少し、実装密度の低下を補償するために

20 ハードウェアを再構成する要求は少なくなる。そして、ハードウェアの再構成もクロック単位で制御することができる。これらの点でも、FPGA をベースとしたリコンフィグラブルな処理装置と異なり、ハードウェアをソフトウェアにより再構築できる処理装置であって、コンパクトで実行速度の速いデータ処理装置を提供するこ

25 とができる。

さらに、図 1 3 に示した DFU 5 7 は、テンプレート領域 7 2 に配置されたテンプレート 7 1 のインタフェースおよび処理内容（以降においてはコンフィグレーションデータ）を一括して定義あるいはセットすることができるコンフィグレーションレジスタ（CRE

G) 75と、そのCREG75にセットする複数のコンフィグレーションデータCi(iは適当な整数を示す、以下においても同様である)を記憶したコンフィグレーションRAM(CRAM)76を備えている。そして、データフロー指定命令25として「DFSET
5 T Ci」といった命令が用意されており、Yデコーダ62yがこの命令をデコードすると、CRAM76に記憶されているコンフィグレーションデータCiの中から所望のデータがCREG75にロードされる。その結果、テンプレート領域72に配置された複数のテンプレート71のコンフィグレーションを一括して変更できる。
10 あるいは、複数のテンプレート71からなる処理ブロック単位でそのコンフィグレーションを変更することができる。

また、DFLWIあるいはDFLWCといった上記のようなデータフロー指定命令25をYデコーダ62yがデコードすることにより、個々のテンプレート71のコンフィグレーションを設定あるいは
15 変更することも可能である。したがって、本例のDFU57では、多くの情報が必要となる複数のテンプレート71のコンフィグレーションを1命令で変更することが可能であり、命令効率がよく、さらに、再構成のために消費される時間が短縮されている。

さらに、本例のDFU57は、CRAM76にブロック単位でコンフィグレーションデータをダウンロードするコントローラ77を
20 備えている。また、データフロー指定命令25として「DFLOAD BCi」が用意されており、Yデコーダ62yがこの命令をデコードすると、データRAM53などに予め用意されている多数のコンフィグレーションデータ78の中から、進行中の処理あるいは
25 今後発生するであろう処理のためのコンフィグレーションデータCiを予めコンフィグレーションメモリであるCRAM76にダウンロードしておくことができる。このような構成によりCRAM76に小容量の高速な連想メモリなどを採用することが可能となり、さらに短時間でハードウェアをフレキシブルに変更することができる。

図 15 に、テンプレート 71 の一例を示してある。このテンプレート 71 は、DFU 57 に用意されたデータフロー RAM (DFRAM) 79 を介して他のテンプレート 71 とデータを交換することができる構成となっており、I/O インタフェース 81 を介して他のテンプレート 71 の処理結果が入力キャッシュ 82 a ~ 82 d に入力され、処理された結果が出力キャッシュ 83 a ~ 83 d に出力される。このテンプレート 71 は、これらの入力キャッシュ 82 a ~ 82 d に各々ストアされたデータ A、B、C および D に対し以下の処理を実行し、演算結果は出力キャッシュ 83 b に、比較した結果は出力キャッシュ 83 c にストアすることができるデータパス 88 を備えている。このテンプレート 71 の処理結果は、再び I/O インタフェース 81 および DFRAM 79 を介して他のテンプレート 71 に出力される。

IF A == ?

15 THEN (C+B)==D

ELSE (C-B)==D . . . (A)

このテンプレート 71 は、独自のコンフィグレーションレジスタ 84 を備えており、このレジスタ 84 に格納されるデータによって複数のセレクト 89 を制御し、制御部 85、加算器 86、比較器 87 などの論理ゲートに入力する信号を選択することができる。したがって、テンプレート 71 は、コンフィグレーションレジスタ 84 のデータを変更することにより、データパス 88 の一部を用いた処理も可能であり、たとえば、制御部 85 を用いずに、以下のような処理を実行させることも可能である。

25 (B+C)==D

(B-C)==D . . . (B)

また、同様にコンフィグレーションレジスタ 84 のデータを変えることにより、このテンプレート 71 は、データパス 88 の一部を用いて、制御部 85 による条件判定回路、加算器 86 を用いた加減

演算回路、比較器 8 7 を用いた比較回路としても使用することができる。これらの論理ゲートはテンプレート 7 1 に予め作りこまれた専用回路で構成されているので、回路構成としても、処理時間としても無駄がない。そして、入力および出力データのコンフィグレーションは、コンフィグレーションレジスタ 8 4 によって制御されるインタフェース 8 1 により変更することが可能であり、所望のデータ処理を行うデータフローの全部あるいは一部を、本例のテンプレート 7 1 で処理することができる。

このテンプレート 7 1 は、さらに、独自のコンフィグレーションレジスタ 8 4 のデータを上述した C R E G 7 5 からのデータと、データフロー指定ユニットとして機能する F U 5 5 の Y デコーダ (Y D E C) 6 2 y からのデータのいずれに基づいても書き換えることが可能であり、その選択は Y デコーダ 6 2 y からの信号により制御することができる。すなわち、上述したようなテンプレート 7 1 のコンフィグレーションは、データフロー指定命令 2 5 に基づき Y デコーダ 6 2 y あるいはこの Y デコーダ 6 2 y で実行されるデータフロー指定工程によって行うことができる。さらに、 D F S E T 命令などにより C R A M 7 6 に記憶されたコンフィグレーションデータ C i にしたがって、他のテンプレートと共にコンフィグレーションを変えてハードウェア構成を変更することも可能である。また、データフロー指定命令 2 5 によりコンフィグレーションレジスタ 8 4 のデータを設定できるので、テンプレート 7 1 の特定のデータパス 8 8 を部分的に選択して使用することも可能である。

このため、テンプレート 7 1 を個別でもグループあるいはブロック単位でもデータフロー指定命令 2 5 によってコンフィグレーションを変え、プロセッサ 5 1 のデータパスをフレキシブルに構成することができる。

テンプレート 7 1 の構成は本例に限定されるものではなく、他のデータ処理を実現可能なように論理ゲートを組み合わせた、適当な

種類と数のテンプレートを用意しておくことにより、それらの組み合わせを変えたり、処理内容の一部を変更することにより、多くのデータ処理をテンプレート 7 1 を組み合わせたデータパスにより処理することができる。すなわち、本発明によれば、ある程度コンパクトなデータパスを幾種類かのテンプレートとして用意しておき、そのデータパス間の組み合わせを指示して、データフロー型の処理に持ち込むことにより高性能化を図ることが可能である。そして、テンプレートでは対応できない処理は、プロセッサ 5 1 の多目的 A L U 5 6 の機能を用いて実行することが可能である。さらに、本例の多目的 A L U 5 6 は命令セット 1 0 の Y フィールド 1 2 に記述された準備命令により分岐などにより発生するペナルティを最小限に止められるようになっている。このため、本例のプロセッサ 5 1 を搭載したシステム L S I 5 0 により、プログラムで処理を記述するのと同様に柔軟にハードウェアを変更し、高速処理あるいはリアルタイム処理が可能な高性能の L S I を提供することができる。また、アプリケーションの変更や仕様変更などに対して柔軟に対応でき、仕様変更などに伴い処理性能が低下することも防止できる。

システム L S I 5 0 を開発あるいは設計する時点で、システム L S I 5 0 を用いて実行するアプリケーションの概要が判明している場合には、そのアプリケーションの処理に適した構成のテンプレートを中心にテンプレート領域 7 2 を構成することが可能であり、より多くのデータ処理をデータフロー型の処理で実行し、処理性能を高めることが可能である。汎用的な L S I を提供する場合には、浮動小数点演算、乗除算、画像処理などの汎用のアプリケーションで多く発生する処理に適したテンプレートを中心にテンプレート領域 7 2 を構成することが可能である。

このように、本発明にかかる命令セットおよび制御ユニットにより、様々な処理を行うデータフローあるいは疑似データフローを備えた L S I を提供することが可能であり、ソフトウェアを用いてデ

ータフローを実行するハードウェアを随時、特定のデータ処理に適した構成に変更できる。また、上記に説明した、テンプレートの組み合わせによりデータフロー型の処理を実行するアーキテクチャ、すなわち、D F U 5 7あるいはテンプレート領域 7 2は、Xフィールド 1 1およびYフィールド 1 2を備えた命令セット 1 0とは独立して制御ユニットやプロセッサに組み込むことが可能である。そして、F P G Aよりも高速処理が可能であり、ハードウェアの変更に係る時間も短く、A C特性も良いデータ処理装置を提供できる。

また、本例のD F U 5 7あるいはテンプレート領域 7 2を、従来型の汎用の組込プロセッサ、すなわち、ニーモニックなコードで動作するプロセッサと共に組み込んでシステムL S Iを構成することも可能であり、テンプレート 7 1で対応できない処理は、汎用のプロセッサで処理することができる。しかしながら、従来のプロセッサでは、分岐のペナルティや、演算処理のためのレジスタを準備するためにクロックを消費するなどの問題があることは上述した通りであり、本例のX-Yフィールドを備えた命令セット 1 0をデコードして実行できるプロセッサ 5 1のような形態が望ましい。

さらに、本例のプロセッサ 5 1および命令セット 1 0であれば、Yフィールド 1 2を用い、他の処理と並列して、D F U 5 7のコンフィグレーションをデータ処理を実行する前に設定あるいは変更することが可能であり、処理効率およびプログラム効率の面で優れている。従来のニーモニックな命令コードと、データフロー型の命令コードとを1つの命令セットに記述することによりプログラム効率を高めることも可能である。しかしながら、本例の命令セット 1 0のYフィールド 1 2の機能は、データフロー型の命令コードを記述するだけでないことは上述したとおりである。

また、本発明に係るプロセッサは、Yフィールド 1 2により実行に先立って物理的なデータパスの構成を変えることができる。これに対し、従来のプロセッサでは、複数のマルチプロセッサ間の接続

方法が、共有メモリ等を通す方法しか存在せず、アイドル状態のプロセッサが存在しても、その内部のデータ処理ユニットを外部から利用する方法が無かった。本発明にかかる制御ユニットにおいては、
5 適当なデータフローを設定することにより、余っているハードウェアを他の制御ユニットにより使用するといったことも可能となる。

さらに、副次的な効果として、命令実行シーケンスの効率化と内部データパスの独立性の確保と自由度（流用度）の向上により、本発明にかかる制御ユニットあるいはそれを用いたプロセッサにおいては、実行するハードウェアに余裕さえあれば、全く性質の異なる
10 コンテキストの命令シーケンスを同時に供給しても問題無く実行することが可能となる。

更に、現在、ハードウェアとソフトウェアの強調設計によるメリットが盛んに指摘されるようになったが、本発明による命令セットおよび制御ユニットを採用することにより、ユーザ側の要求する
15 アルゴリズムやデータ処理を許されるハードウェア・コストでどう効率良く経済的に実現可能かという事に対する1つの回答を与えることができる。例えば、ハードウェア・コストを最小に抑制しながら、性能向上に貢献可能なデータパス（データフロー）を、過去のデータパスに関する構成結果情報である本発明にかかる命令セッ
20 ト（旧DAP/DNA）のデータ情報と、その後に追加されるハードウェア構成情報およびデータ処理を実行するシーケンス情報から新しいタイプの組み合わせ結果、すなわち、新しいデータフローを定義するソフトウェアを導き、極めて無駄の少ない最適解を提供することが可能となる。

25 また、従来は、ハードウェア構成が要素化され難いために、その相互の組み合わせ自体の柔軟性が無く、基本的には、性能を上げるために1つ新規のデータパスを追加するというようなやり方が主流であった。そして、性能向上のための情報蓄積の点でも、実際にそれを実現する上で必要となるハードウェア情報の追加という観点で

も、数値化し難くデータベース化することは困難であった。これに対し、本発明によれば、ある程度コンパクトなデータパスをいくつかテンプレート的に用意しておき、そのデータパス間の組み合わせを指示して、データフロー型の処理に持ち込むことにより高性能化を図ることが可能である。そして、極めて細かい単位でのハードウェアとソフトウェアとの連携の見積もりが容易となる。また、ハードウェアとソフトウェアのトレードオフ情報を蓄積することも可能で、データパス単位でその組み合わせの可能性が、処理性能に対する貢献度と密接に結びつくことになる。したがって、ハードウェアとソフトウェアの緊密な実行性能データや処理要求に応じた性能コストの正確な見積もりを蓄積することが可能となる。もちろん、これらのデータパスは主要な処理あるいは汎用的な処理の実行を停止させないで実現することも可能となるため、性能要求に対して、何をどれだけのよう追加すれば、どのような結果が期待出来るということを、純粹に過去に蓄積された本発明にかかる命令セットおよびハードウェアのデータから予測する事が可能とする。

これは、現在行われている設計コストや仕様策定コストの著しい低減に貢献するだけで無く、次の新しい設計に対して、新規に追加すべきハードウェアとソフトウェアのトレードオフを必要最小限で完了させる事に貢献する。また、処理形態に応じて、内部のデータパスを外部へ貸し出しする事も容易にする為、ハードウェアのリソースシェアリング化が可能となり、複数の本発明にかかるモジュール（DAP/DNAモジュール）の間で並列処理化を極め、コンパクトなハードウェアで実現する事が可能となる。

なお、上記に示したデータ処理装置および命令セットなどは、本発明の一例に過ぎず、たとえば、データ処理装置においては、コードRAMあるいはデータRAMなどを外部のRAMあるいはROMとしたり、これらに加えて外部のDRAMあるいはSRAMなどとのインタフェースを設けることも可能である。さらに、外部の他の

デバイスと接続するための入出力インタフェースなど、システム L S I などのデータ処理装置として公知の機能を備えたデータ処理装置も本発明に含まれる。したがって、本発明は以下の請求の範囲の記載により理解および把握され、それらの請求の範囲に含まれる変
5 形例は全て本発明の範囲に含まれる。

以上に説明したように、本発明においては、データフロー指定命令により複数の処理ユニットのインタフェースを変更することによりデータパスをプログラムによりフレキシブルに組替え可能として
10 いる。したがって、複雑なデータ処理に対し、それらのデータ処理に特化した多種多様な専用回路を用いなくても、それぞれのデータ処理をフレキシブルに、ハードウェアにより高速に実行することができる。さらに、特定のデータパスを予め備えたテンプレートを処理
15 ユニットとして採用することにより、性能向上に貢献可能なデータパス（データフロー）をテンプレートという資産と、それを使用する命令セットという資産で蓄積できる。さらに、その後に追加されるハードウェア構成情報およびデータ処理を実行するシーケンス情報に基づき随時更新し最適解を求めるようにすることができる。
したがって、従来存在したアプリケーション間の資産の共有化とハ
20 ードウェア資産の共有化、及び高性能化に対する適切なハードウェア投資がより健全な方向へ向かい、ネットワーク化社会を構築する上でのテクノロジー・インフラとしても大きく貢献可能となることが期待できる。

25 産業上の利用可能性

本発明のデータ処理装置は、様々なデータ処理を実行可能なプロセッサあるいは L S I などとして提供することが可能であり、電子素子の集積回路のみならず、光素子、さらには電子素子および光素子を集積した光集積回路装置にも適用することができる。特に、本

発明の命令セットを備えた制御プログラムおよびデータ処理装置においては、データ処理を柔軟に、そして高速に実行できるので、ネットワーク処理や、画像処理などの高速性およびリアルタイム性能を要求されるデータ処理装置に好適なものである。

請 求 の 範 囲

1. 複数の処理ユニットを有するデータ処理装置を制御するプログラム製品であって、少なくとも1つの前記処理ユニットの入力および／または出力インタフェースを、前記処理ユニットにより処理
5 を実行する時期とは独立して指示し、前記処理ユニットにより構成されるデータパスを定義するデータフロー指定命令を有するプログラム製品。
- 10 2. 前記データフロー指定命令は、前記処理ユニットの処理内容を規定可能である、請求項1のプログラム製品。
3. 前記処理ユニットは、特定の内部データパスを備えており、前記データフロー指定命令は、前記内部データパスの一部を選択可能
15 である、請求項1のプログラム製品。
4. 前記データフロー指定命令は、複数の前記処理ユニットにより構成される処理ブロックの入力および／または出力インタフェースを規定可能である、請求項1のプログラム製品。
- 20 5. 前記データ処理装置は、前記処理ブロックの入力および／または出力インタフェースを規定する複数のコンフィグレーションデータを格納したメモリを有し、
前記データフロー指定命令は、前記メモリに格納された前記複数の
25 コンフィグレーションデータの1つを選択し、前記処理ブロックの入力および／または出力インタフェースを変更可能である、請求項4のプログラム製品。
6. 処理ユニットを有するデータ処理装置を制御するプログラム

であって、少なくとも1つの前記処理ユニットの入力および／または出力インタフェースを、前記処理ユニットにより処理を実行する時期とは独立して指示し、前記処理ユニットにより構成されるデータパスを定義するデータフロー指定命令を有するプログラムが記録されている記録媒体。

7. 処理ユニットを有するデータ処理装置を制御するプログラム製品であって、少なくとも1つの前記処理ユニットの入力および／または出力インタフェースを、前記処理ユニットにより処理を実行する時期とは独立して指示し、前記処理ユニットにより構成されるデータパスを定義するデータフロー指定命令を有するプログラムが埋め込まれている伝送媒体。

8. 入力および／または出力インタフェースを変更可能な複数の処理ユニットと、

少なくとも1つの前記処理ユニットの入力および／または出力インタフェースを、前記処理ユニットにより処理を実行する時期とは独立して指示するデータフロー指定命令をフェッチ可能なユニットと、

前記データフロー指定命令をデコードし、前記処理ユニットの入力および／または出力インタフェースを設定し、複数の前記処理ユニットによるデータパスを構成可能なデータフロー指定ユニットとを有するデータ処理装置。

9. 前記データフロー指定ユニットは、前記データフロー指定命令により、前記処理ユニットの処理内容を変更可能である、請求項8のデータ処理装置。

10. 前記処理ユニットは、特定の内部データパスを備えている、

請求項 8 のデータ処理装置。

1 1 . 前記処理ユニットは、少なくとも 1 つの論理ゲートと、この論理ゲートと入出力インタフェースを接続する内部データパスとを備えている、請求項 1 0 のデータ処理装置。

1 2 . 前記データフロー指定ユニットは、前記データフロー指定命令により、前記処理ユニットの前記内部データパスの一部を選択可能である、請求項 1 0 のデータ処理装置。

1 3 . 前記データフロー指定ユニットは、前記処理ユニットのインタフェースを管理するスケジューラとしての機能を備えている、請求項 8 のデータ処理装置。

1 4 . 前記データフロー指定ユニットは、前記データフロー指定命令により、複数の前記処理ユニットにより構成される処理ブロックの入力および／または出力インタフェースを変更可能である、請求項 8 のデータ処理装置。

1 5 . 前記処理ブロックの入力および／または出力インタフェースを規定する複数のコンフィグレーションデータを格納したメモリを有し、

前記データフロー指定ユニットは、前記データフロー指定命令により前記メモリに格納された前記複数のコンフィグレーションデータの 1 つを選択し、前記処理ブロックの入力および／または出力インタフェースを変更可能である、請求項 1 4 のデータ処理装置。

1 6 . 入力および／または出力インタフェースを変更可能な複数の処理ユニットを有するデータ処理装置の制御方法であって、

少なくとも1つの前記処理ユニットの入力および／または出力インタフェースを、前記処理ユニットにより処理を実行する時期とは独立して指示するデータフロー指定命令をフェッチする工程と、

5 前記データフロー指定命令をデコードし、前記処理ユニットの入力および／または出力インタフェースを設定し、複数の前記処理ユニットによるデータパスを構成するデータフロー指定工程とを有するデータ処理装置の制御方法。

10 17. 前記データフロー指定工程では、前記データフロー指定命令により、前記処理ユニットの処理内容を変更可能である、請求項16のデータ処理装置の制御方法。

15 18. 前記処理ユニットは、特定の内部データパスを備えており、前記データフロー指定工程では、前記データフロー指定命令により、前記処理ユニットの前記内部データパスの一部を選択可能である、請求項16のデータ処理装置の制御方法。

20 19. 前記データフロー指定工程では、前記処理ユニットのインタフェースを保持するスケジュールも管理する、請求項16のデータ処理装置の制御方法。

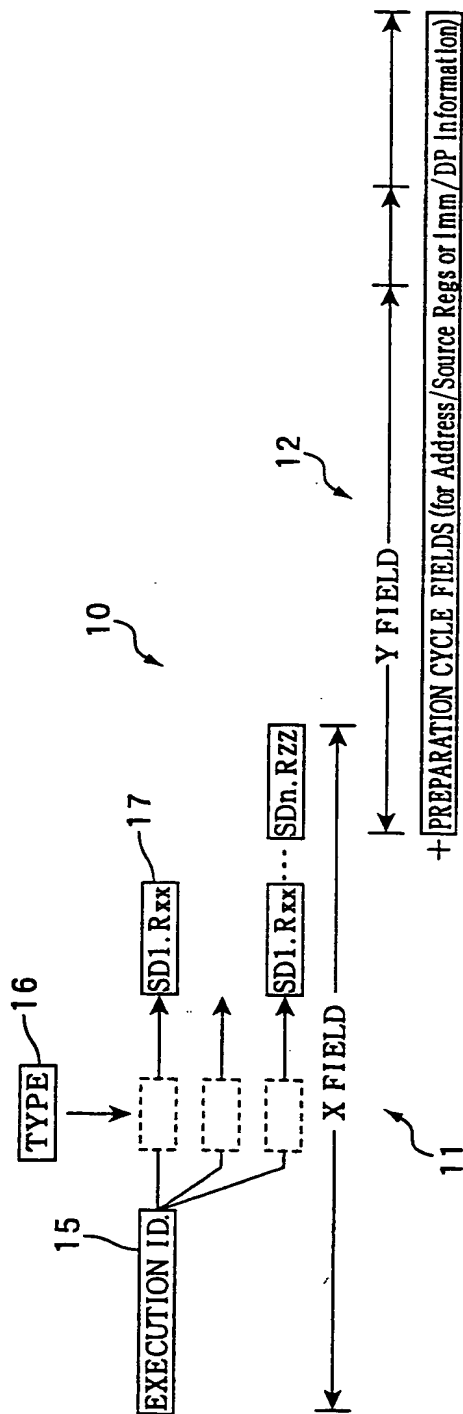
25 20. 前記データフロー指定工程では、前記データフロー指定命令により、複数の前記処理ユニットにより構成される処理ブロックの入力および／または出力インタフェースを変更可能である、請求項16のデータ処理装置の制御方法。

21. 前記データ処理装置は、前記処理ブロックの入力および／または出力インタフェースを規定する複数のコンフィグレーションデータを格納したメモリを有し、

前記データフロー指定工程では、前記データフロー指定命令により、前記メモリに格納された前記複数のコンフィグレーションデータの 1 つを選択し、前記処理ブロックの入力および／または出力インターフェースを変更可能である、請求項 20 のデータ処理装置の制御方法。

1 / 1 4

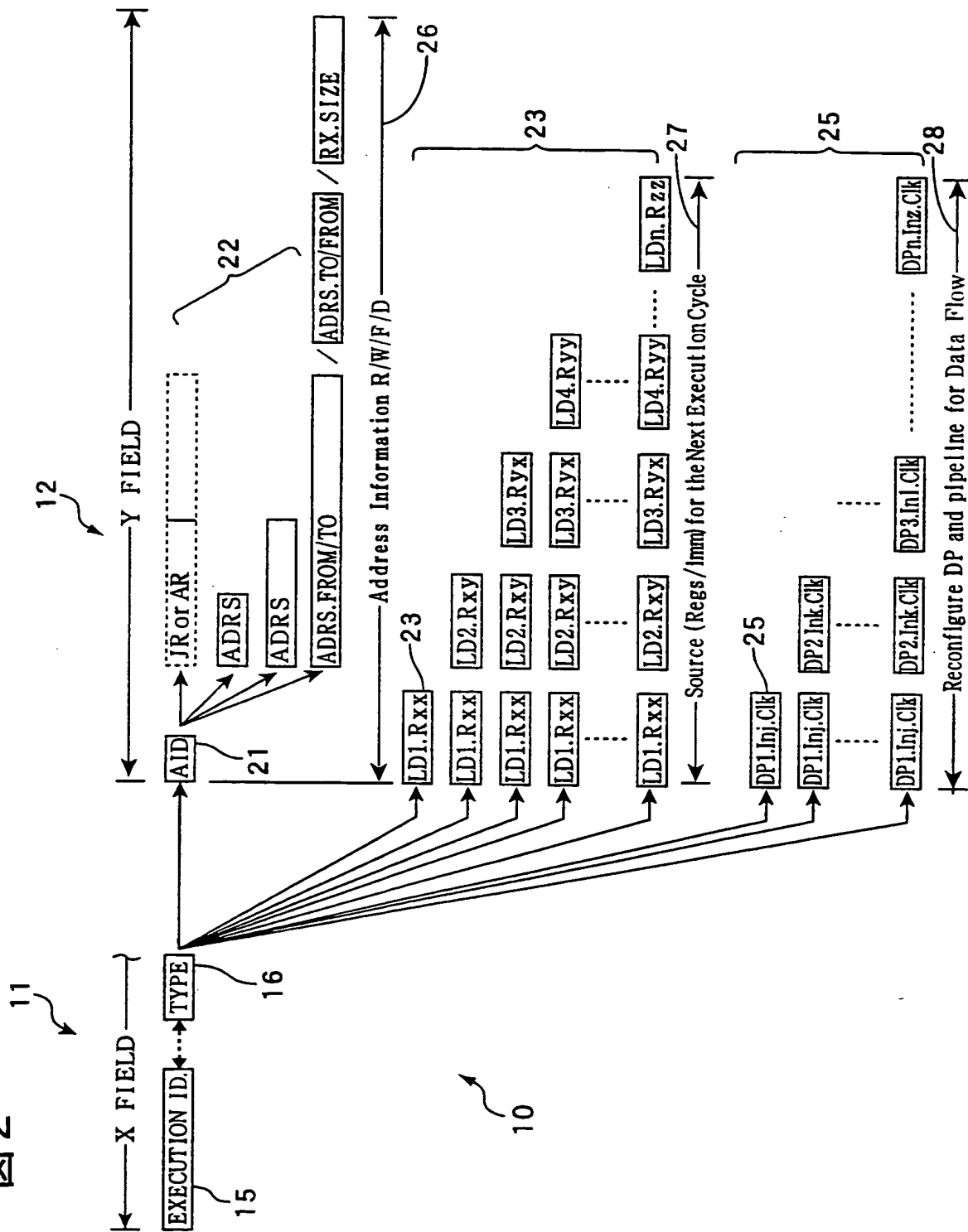
図 1



THIS PAGE BLANK (USPTO)

2 / 1 4

図 2



THIS PAGE BLANK (USPTO)

図 3

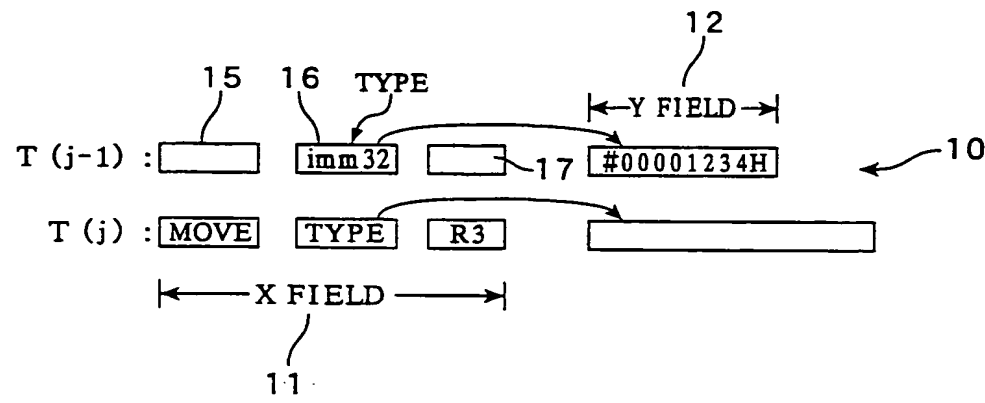
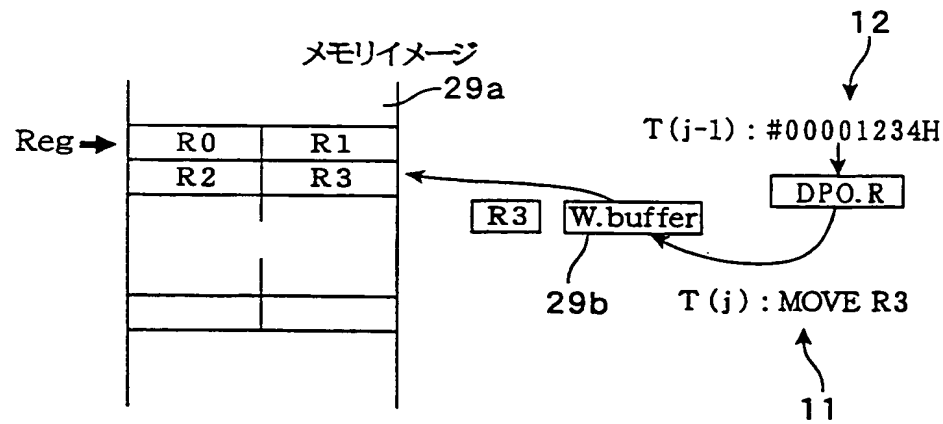


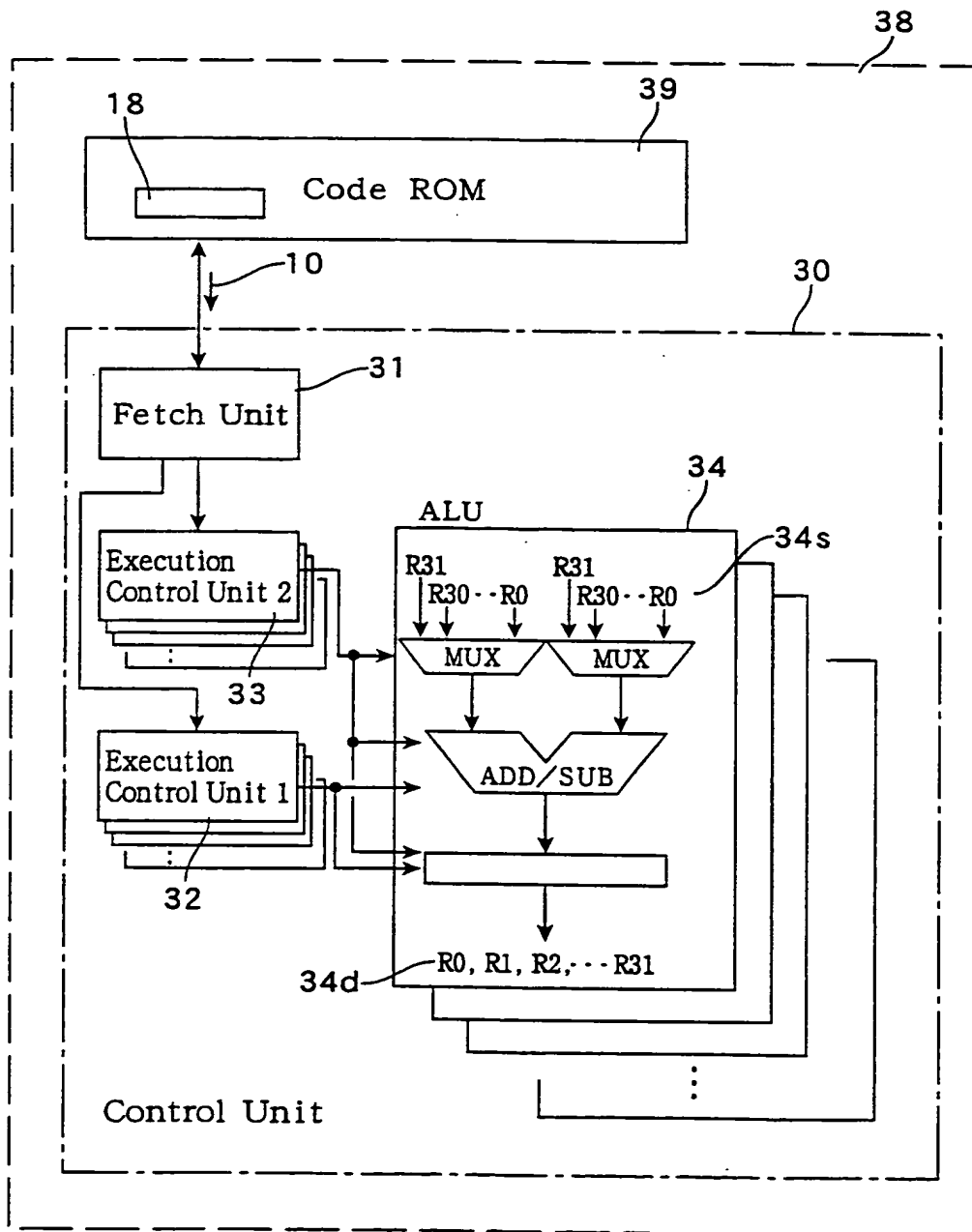
図 4



THIS PAGE BLANK (USPTO)

4 / 1 4

図 5

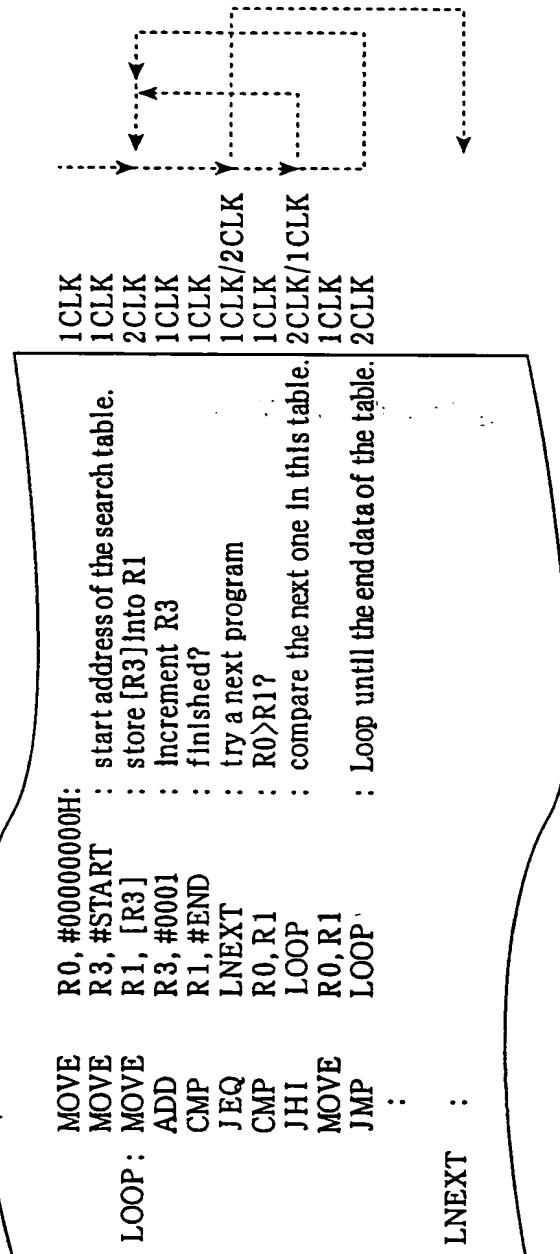


THIS PAGE BLANK (USPTO)

5 / 1 4

図 6

41

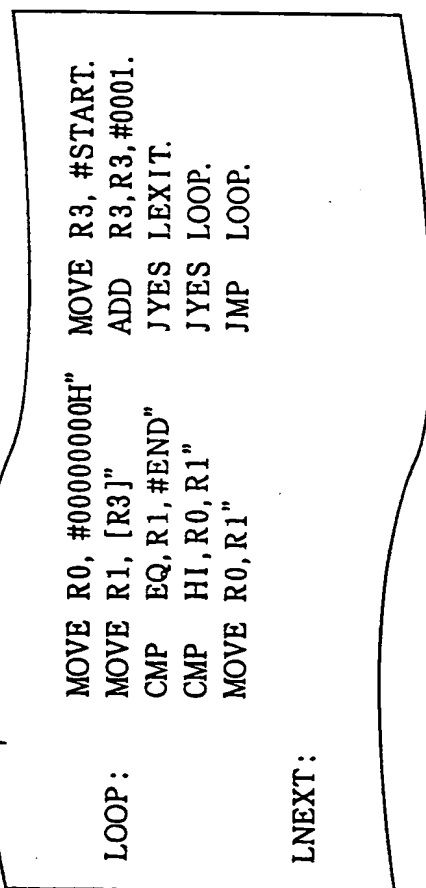


THIS PAGE BLANK (USPTO)

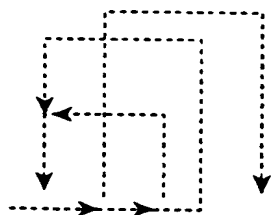
6 / 1 4

図 7

42



1CLK
1CLK
1CLK
1CLK
1CLK

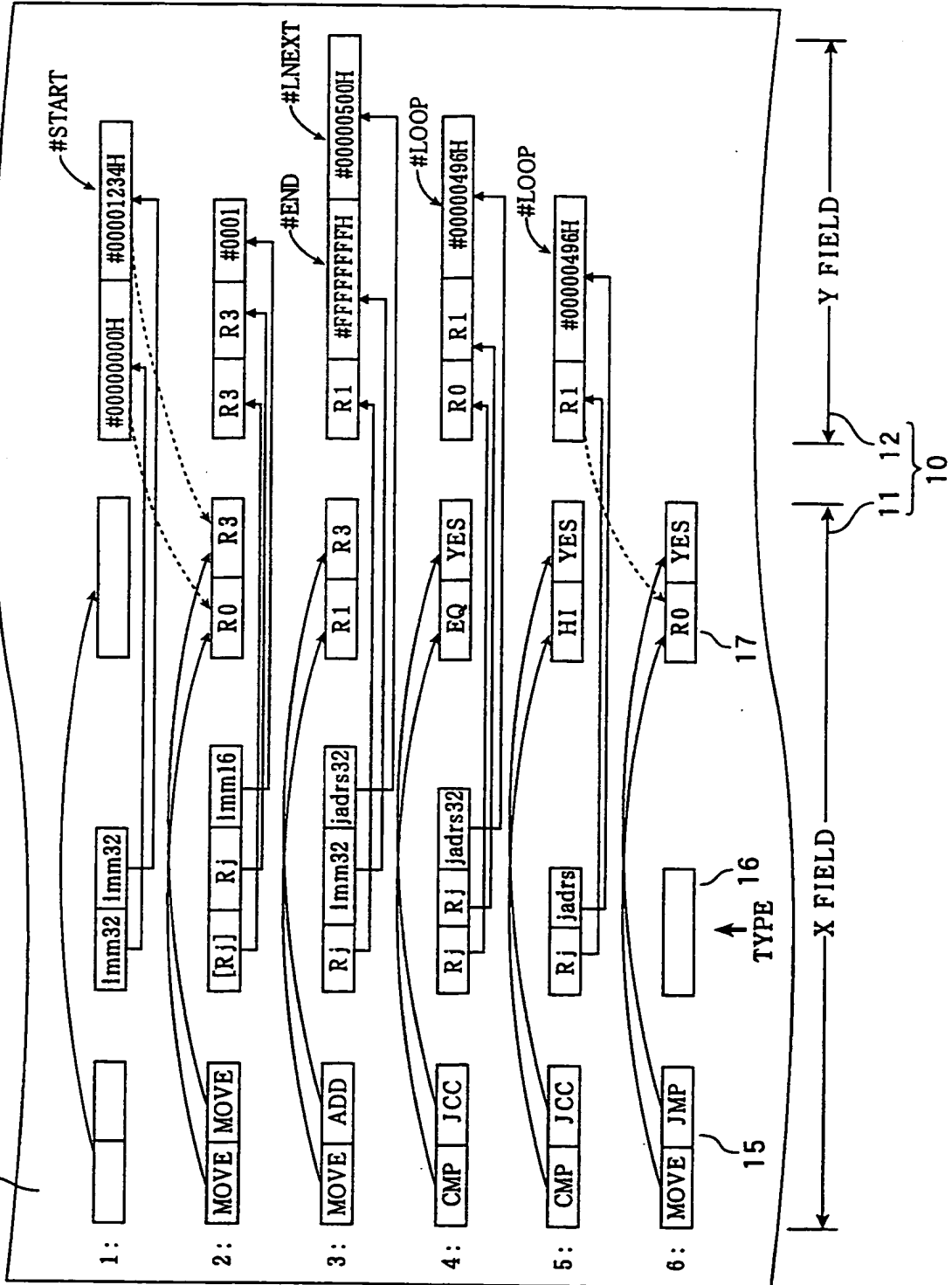


THIS PAGE BLANK (USPTO)

7 / 1 4

8

43



THIS PAGE BLANK (USPTO)

8 / 1 4

图 9

44

25

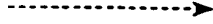
```

DFLW1 = MOVE DPL.R0,#00000000H"  MOVE DPL.R3,#START
DFLWC = MOVE DPL.R1,[R3]"      ADD  DPL.R3,DPL.R3,#0001
DFLWT = STOP.EQ  DPL.R1,#END.
DFLWC = LDMAX,DPL.R0,DPL.R0,DPL.R1
DFLWS = START

MOVE R0,#012345678"  MOVE R1,#NEXT_JOB
ADD  R5,R2,R3"      CALL FUNC_ABCD
CMP  R0,R1
:
WAIT DFLW, DP1      ;wait for the termination of above data processing.
MOVE R0,DP1.R0      ;get the max data in the search table.

```

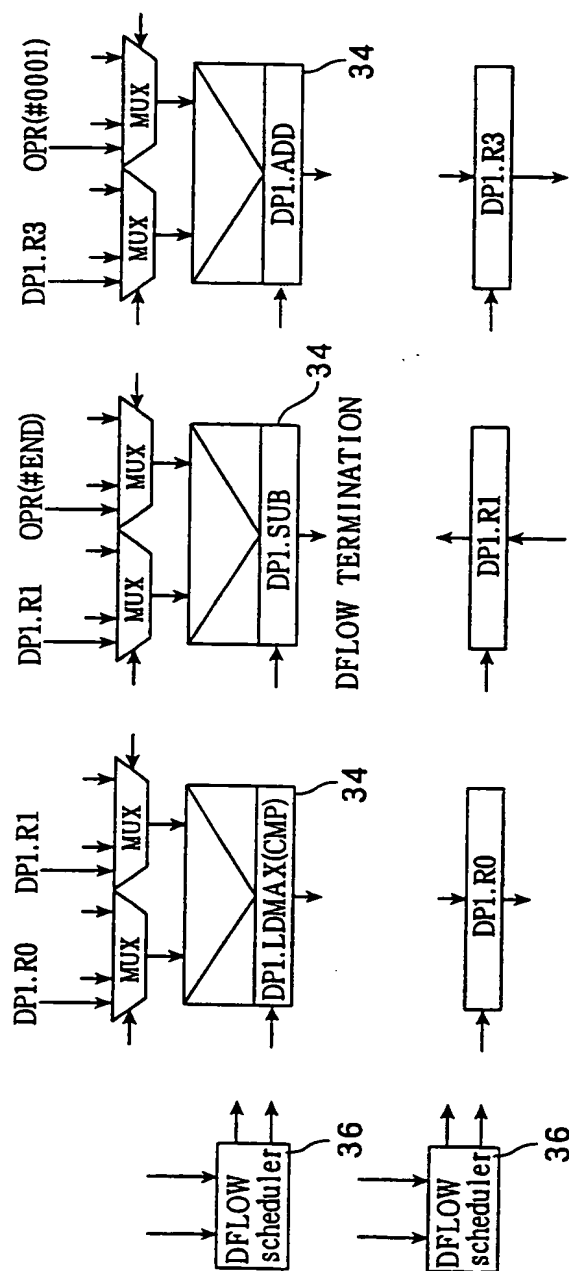
1CLK
1CLK
1CLK
1CLK
1CLK



THIS PAGE BLANK (USPTO)

9 / 1 4

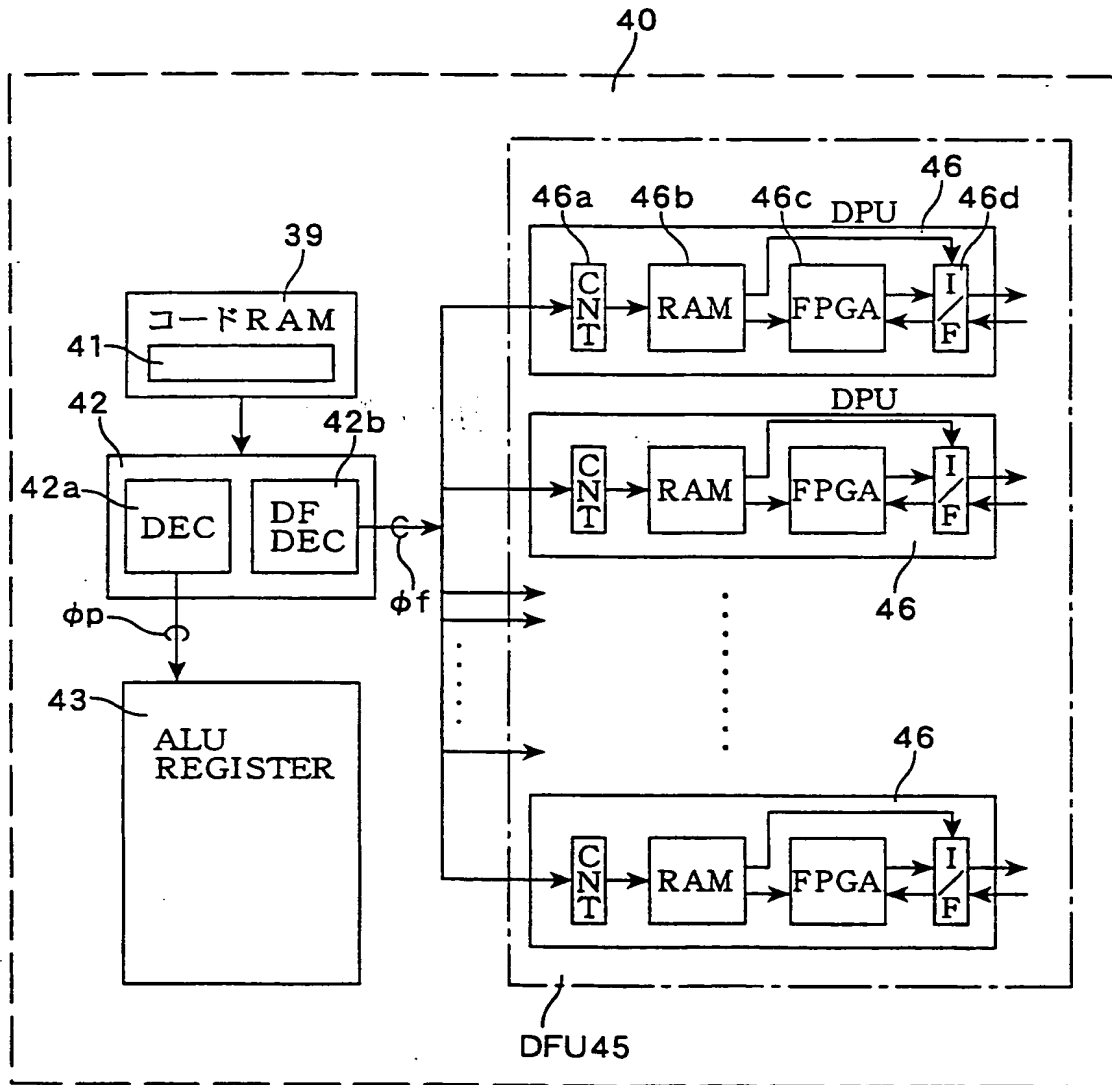
図 10



THIS PAGE BLANK (USPTO)

1 0 / 1 4

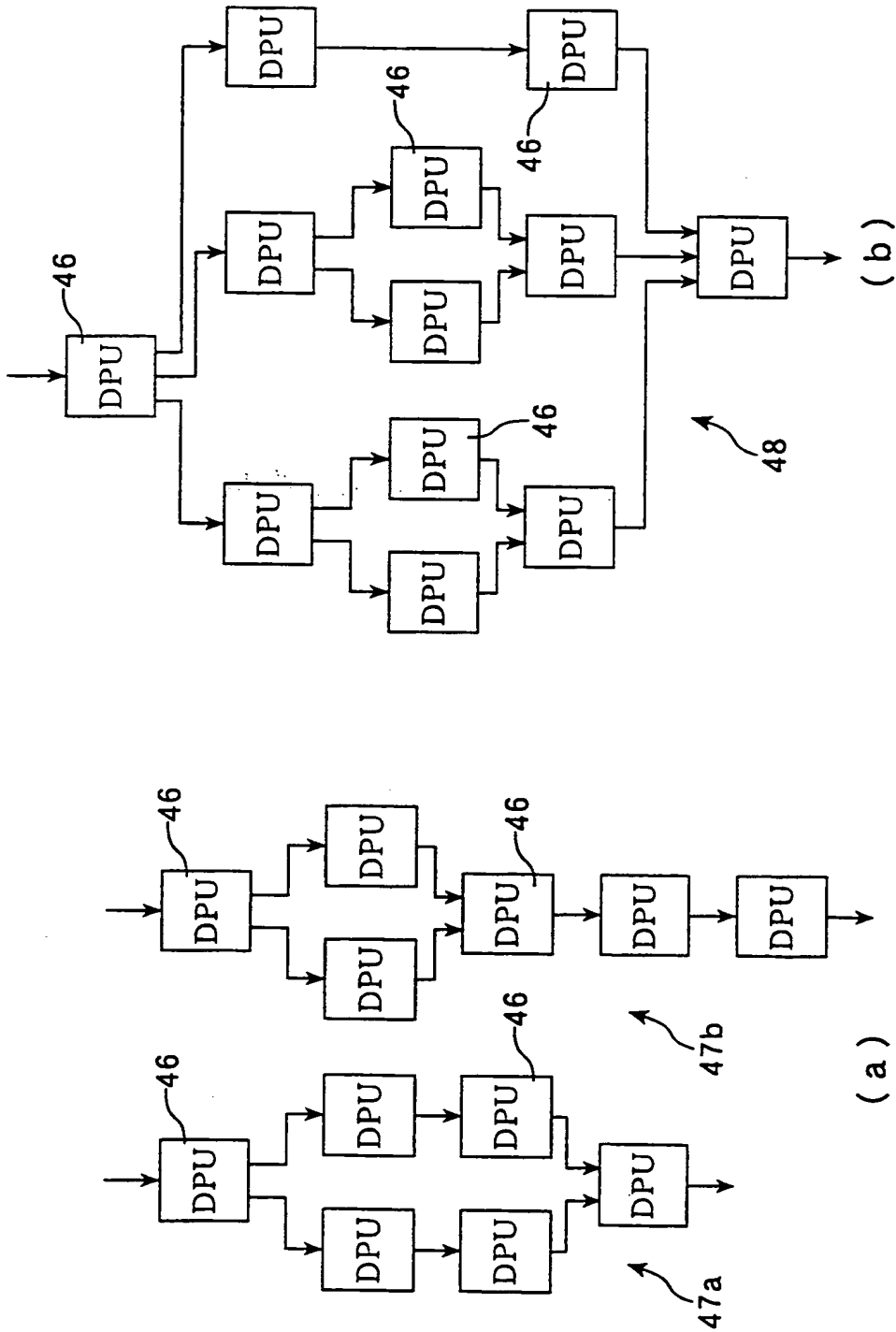
図 1 1



THIS PAGE BLANK (USPTO)

1 1 / 1 4

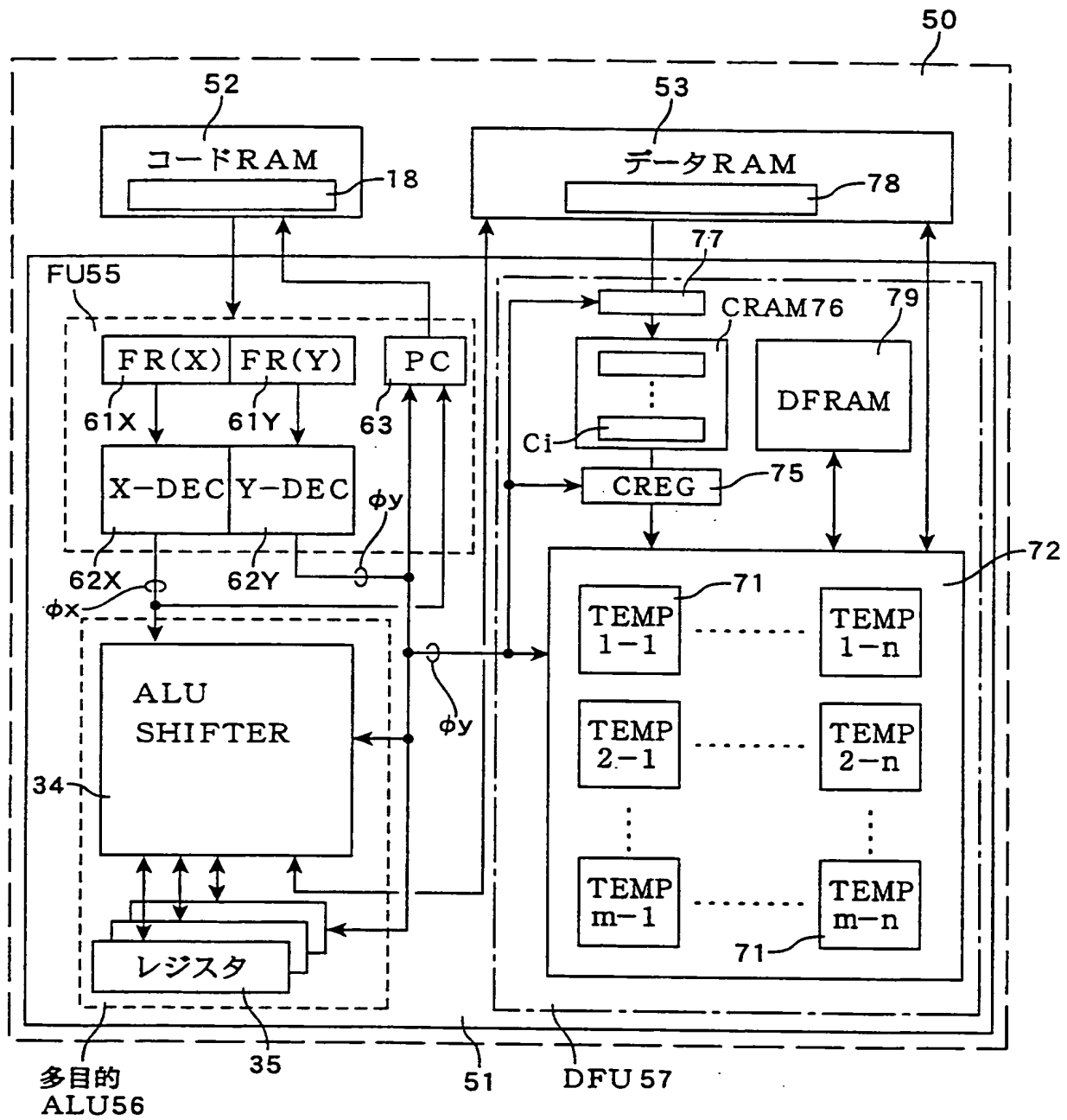
図 12



THIS PAGE BLANK (USPTO)

1 2 / 1 4

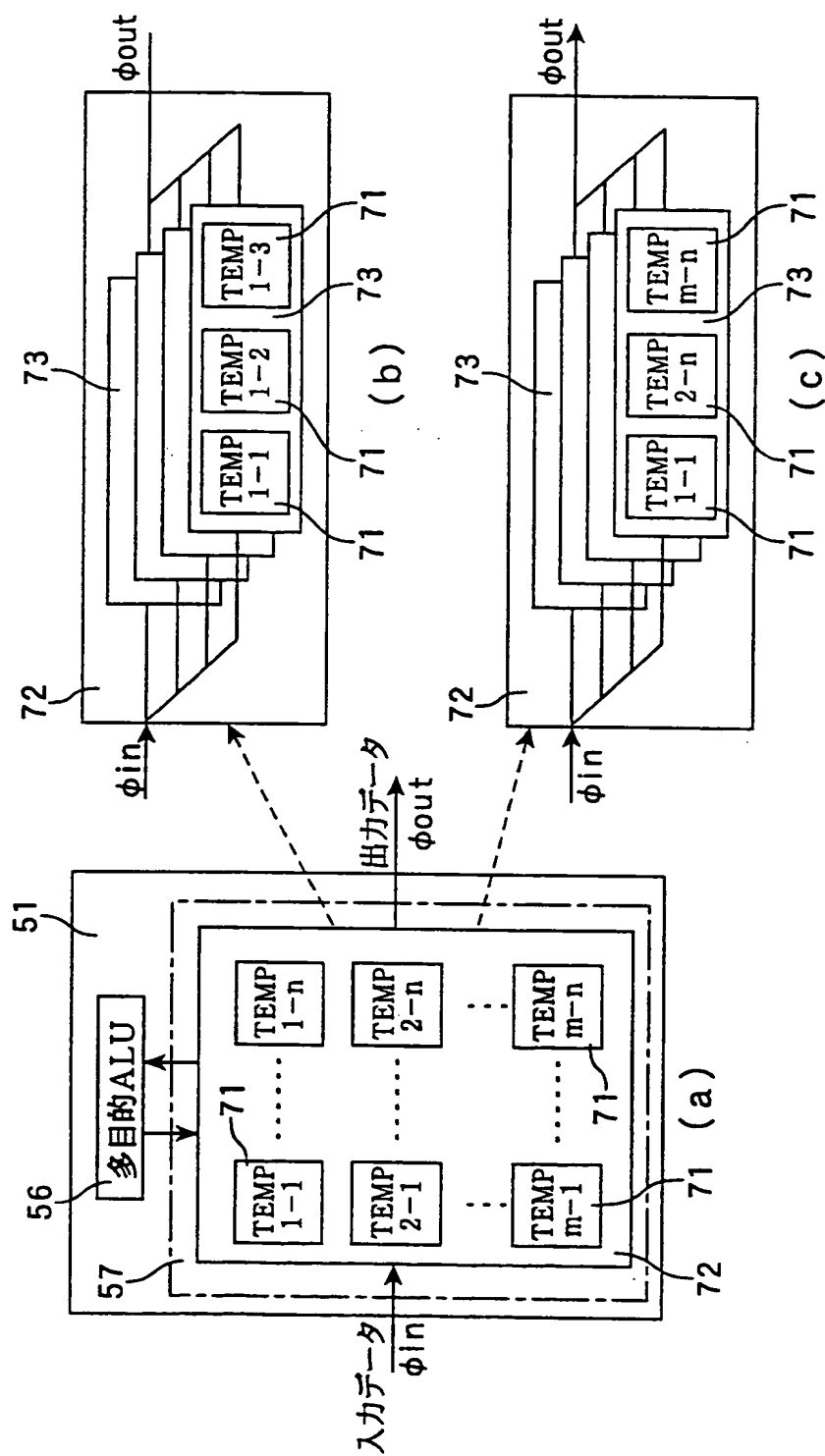
図 1 3



THIS PAGE BLANK (USPTO)

1 3 / 1 4

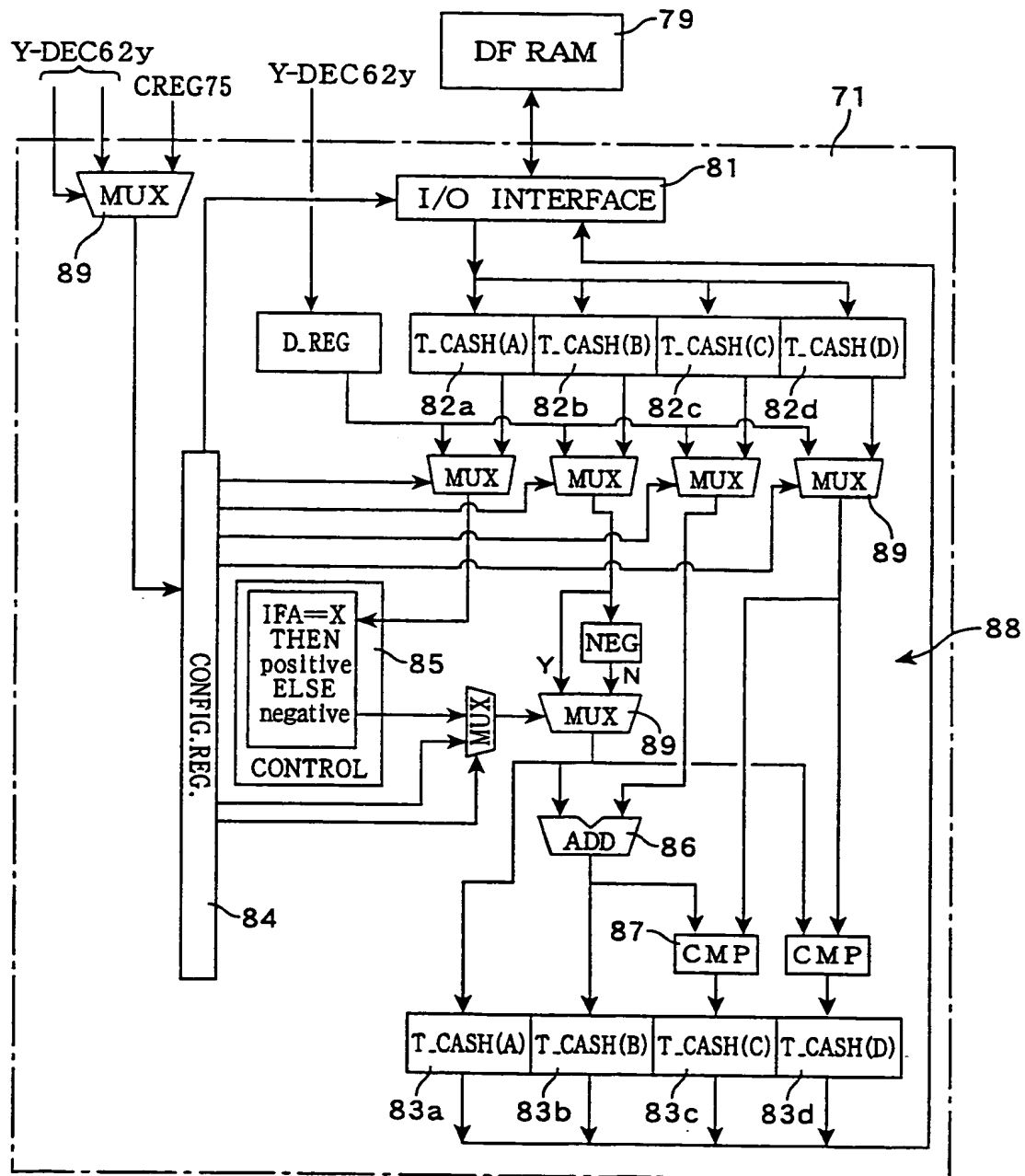
図 14



THIS PAGE BLANK (USPTO)

1 4 / 1 4

図 1 5



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05849

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F 9/30, G06F 9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F 9/30-9/38, G06F15/16-15/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1992-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-309285, A (Fujitsu Limited), 04 November, 1994 (04.11.94), Full text, all drawings (Family: none)	6, 8-21
A	JP, 10-260832, A (Hitachi, Ltd.), 29 September, 1998 (29.09.98), Full text, all drawings (Family: none)	6, 8-21
A	JP, 7-319692, A (Fuji Electric Co., Ltd.), 08 December, 1995 (08.12.95), Full text, all drawings (Family: none)	6, 8-21

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
13 November, 2000 (13.11.00)

Date of mailing of the international search report
21 November, 2000 (21.11.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05849

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☒ Claims Nos.: 1-5,7
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
 1. The inventions of claims 1-5 relate to a program product. However the term "product" that cannot be technically clearly defined is used, and therefore the inventions cannot be definitely grasped.

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Pr test ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05849

Continuation of Box No.I-2 of continuation of first sheet (1)

2. The invention of claim 7 relates to a transmission medium where a program is embedded. However the relation between the transmission medium and the program is not defined, and the transmission medium being an object is not specified by the transmitted program. Therefore the invention cannot be definitely grasped.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/J P 00/05849

A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl⁷ G 06 F 9/30, G 06 F 9/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl⁷ G 06 F 9/30-9/38, G 06 F 15/16-15/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1992-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 6-309285, A (富士通株式会社) 4. 11月. 1994 (04. 11. 94) 全文全図, (ファミリーなし)	6, 8-21
A	J P, 10-260832, A (日立製作所) 29. 9月. 1998 (29. 09. 98) 全文全図, (ファミリーなし)	6, 8-21

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

13. 11. 00

国際調査報告の発送日

21.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伊知地 和之

5 B

9291

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-319692, A (富士電機株式会社) 8. 12月. 1995 (08. 12. 95) 全文全図, (ファミリーなし)	6, 8-21

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☒ 請求の範囲 1-5, 7 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
 1. 請求の範囲1-5は、プログラム製品であるが、「製品」という技術範囲の明確でない用語を用いているために、請求の範囲1-5に係る発明を明確に把握することができない。
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

第 I 欄 2. の続き

2. 請求の範囲 7 は、プログラムが埋め込まれている伝送媒体であるが、そもそも伝送媒体とプログラムの関係を何ら規定するものではなく、伝送しているプログラムでは物としての伝送媒体は特定されないため、請求の範囲 7 に係る発明を明確に把握できない。